

(11)特許出願公開番号

(43)公開日 平成10年(1998)9月25日

F I		
G 0 6 F	1/04	3 3 0 A
H 0 3 L	7/00	D
H 0 1 L	27/04	D

審査請求 未請求 請求項の数12 OL (全 37 頁)

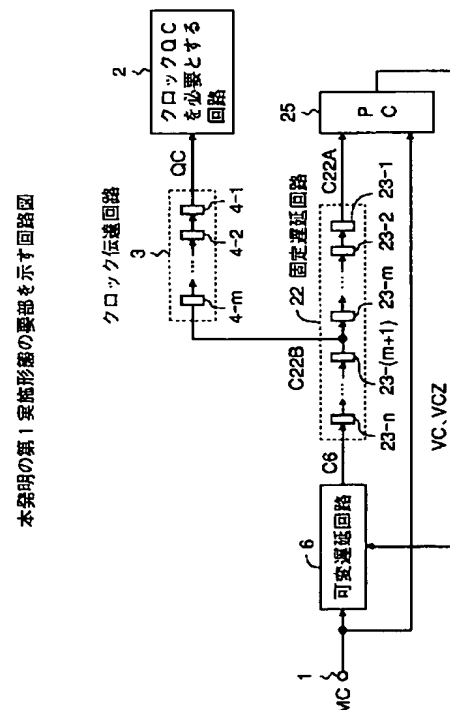
(74)代理人 弁理士 平戸 哲夫

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】所定のクロックを遅延してなる、所定のクロックに対して所定の位相差を有するクロックを必要とする回路を備える半導体集積回路に関し、プロセス条件や温度変化や電源電圧の値に関わらず、位相精度の高いクロック伝達を行うことができるようにする。

【解決手段】固定遅延回路22のn-m段目のゲート回路23-(m+1)から出力されるクロックC22Bをクロック伝達回路3の初段のゲート回路4-mに供給することにより、メインクロックMCを遅延してなるメインクロックMCと同相のクロックQCを供給すべき回路2に対して、メインクロックMCを遅延してなるメインクロックMCと同相のクロックQCを供給する。



【特許請求の範囲】

【請求項1】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、

可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し（但し、n、mは、 $n > m$ を満足する正の整数である。）、初段のゲート回路の入力端を前記可変遅延回路の出力端に接続してなる固定遅延回路とを有し、前記可変遅延回路の出力端又は前記固定遅延回路のn-m段目のゲート回路の出力端を前記クロック伝達回路の入力端に接続し、前記第1のクロックを遅延させる遅延回路と、

前記固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが前記第2のクロックに要求される位相となるように前記可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路を備えていることを特徴とする半導体集積回路。

【請求項2】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、

可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し（但し、n、mは、 $n > m$ を満足する正の整数である。）、初段のゲート回路の入力端を前記可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、初段のユニット遅延回路の入力端を前記第1のクロックが印加されるノードに接続し、所定のユニット遅延回路の可変遅延回路の出力端又は所定のユニット遅延回路の固定遅延回路のn-m段目のゲート回路の出力端を前記クロック伝達回路の入力端に接続してなる遅延回路と、

終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが前記第1のクロック又は前記第1のクロックと所定の位相差を有する第4のクロックに同期するように前記複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路を備えていることを特徴とする半導体集積回路。

【請求項3】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、

遅延時間をTLとするゲート回路をL段接続してなる第

1の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を前記第1の可変遅延回路の出力端に接続してなる第1の固定遅延回路と、遅延時間をTLとするゲート回路をL段接続し、初段のゲート回路の入力端を前記第1の固定遅延回路の終段のゲート回路の出力端に接続してなる第2の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路を前記第2の可変遅延回路の出力端に接続してなる第2の固定遅延回路とを有し、前記第1のクロックを遅延させる遅延回路と、前記第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが前記第2のクロックに要求される位相となるように前記第1、第2の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、

遅延時間をTAとするゲート回路をk段接続し、入力端を前記第1の可変遅延回路の出力端又は前記第1の固定遅延回路の $2n + (TL/TA)L - m - k$ 段目（但し、n、m、L、kは、 $n < m < (TL/TA)L + n$ 、 $1 < 2n + (TL/TA)L - m - k < n$ を満足する正の整数である。）のゲート回路の出力端に接続し、出力端を前記クロック伝達回路の入力端に接続してなる第3の固定遅延回路とを備えていることを特徴とする半導体集積回路。

【請求項4】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、

遅延時間をTLとするゲート回路をL段接続してなる可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を前記可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、初段のユニット遅延回路の可変遅延回路の入力端を前記第1のクロックが印加されるノードに接続してなる遅延回路と、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが前記第1のクロック又は前記第1のクロックと所定の位相差を有する第4のクロックに同期するように前記複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、

遅延時間をTAとするゲート回路をk段接続し、入力端を所定のユニット遅延回路の可変遅延回路の出力端又は所定のユニット遅延回路の固定遅延回路の $2n + (TL/TA)L - m - k$ 段目（但し、n、m、L、kは、 $n < m < (TL/TA)L + n$ 、 $1 < 2n + (TL/TA)L - m - k < n$ を満足する正の整数である。）のゲート回路の出力端に接続し、出力端を前記クロック伝達

10

20

30

40

50

3

回路の入力端に接続してなる第3の固定遅延回路とを備えていることを特徴とする半導体集積回路。

【請求項5】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、

遅延時間をTLとするゲート回路をL段接続してなる第1の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を前記第1の可変遅延回路の出力端に接続し、 $2n + (TL/TA)L - m - k$ 段目(但し、n、m、L、kは、 $n < m < (TL/TA)L + n$ 、 $1 < 2n + (TL/TA)L - m - k < n$ を満足する正の整数である。)のゲート回路の出力端を前記クロック伝達回路の入力端に接続してなる第1の固定遅延回路と、遅延時間をTLとするゲート回路をL段接続し、入力端を前記第1の固定遅延回路の終段のゲート回路の出力端に接続してなる第2の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路を前記第2の可変遅延回路の出力端に接続してなる第2の固定遅延回路とを有し、前記第1のクロックを遅延させる遅延回路と、前記第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが前記第2のクロックに要求される位相よりも第3の固定遅延回路による遅延分だけ遅れた位相となるように前記第1、第2の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、

遅延時間をTAとするゲート回路をk段接続し、前記遅延回路の上流側に配置され、前記遅延回路とともに前記第1のクロックを遅延させる前記第3の固定遅延回路とを備えていることを特徴とする半導体集積回路。

【請求項6】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、

遅延時間をTLとするゲート回路をL段接続してなる可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を前記可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、所定のユニット遅延回路の $2n + (TL/TA)L - m - k$ 段目(但し、n、m、L、kは、 $n < m < (TL/TA)L + n$ 、 $1 < 2n + (TL/TA)L - m - k < n$ を満足する正の整数である。)のゲート回路の出力端を前記クロック伝達回路の入力端に接続してなる遅延回路と、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に

4

得られる第3のクロックが前記初段のユニット遅延回路に入力される第4のクロック又はこの第4のクロックと所定の位相差を有する第5のクロックに同期するように前記複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、

遅延時間をTAとするゲート回路をk段接続し、入力端を前記第1のクロックが印加されるノードに接続し、出力端を前記初段のユニット遅延回路の入力端に接続してなる第3の固定遅延回路とを備えていることを特徴とする半導体集積回路。

【請求項7】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、

遅延時間をTLとするゲート回路をL段接続してなる第1の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を前記可変遅延回路の出力端に接続してなる第1の固定遅延回路と、遅延時間をTLとするゲート回路をL段接続し、入力端を前記第1の固定遅延回路の終段のゲート回路に接続してなる第2の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を前記可変遅延回路の出力端に接続してなる第2の固定遅延回路とを有し、前記第1のクロックを遅延させる遅延回路と、前記第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが前記第2のクロックに要求される位相よりも第3の固定遅延回路による遅延分だけ遅れた位相となるように前記第1、第2の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、

遅延時間をTAとするゲート回路をk1段接続し、前記遅延回路の上流側に配置され、前記遅延回路とともに前記第1のクロックを遅延させる前記第3の固定遅延回路と、

遅延時間をTAとするゲート回路をk2段接続し、入力端を第1の可変遅延回路の出力端又は前記第1の固定遅延回路の $2n + (TL/TA)L - m - k1 - k2$ 段目(但し、n、m、L、k1、k2は、 $n < m$ 、 $1 < 2n + (TL/TA)L - m - k1 - k2$ を満足する正の整数である。)のゲート回路の出力端に接続し、出力端を前記クロック伝達回路の入力端に接続してなる第4の固定遅延回路とを備えていることを特徴とする半導体集積回路。

【請求項8】第1のクロックを遅延してなる、前記第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、前記第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとす

るゲート回路を m 段接続してなるクロック伝達回路を有する半導体集積回路において、

遅延時間を TL とするゲート回路を L 段接続してなる可変遅延回路と、遅延時間を TA とするゲート回路を n 段接続し、初段のゲート回路の入力端を前記可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが前記初段のユニット遅延回路に入力される第4のクロック又はこの第4のクロックと所定の位相差を有する第5のクロックに同期するように前記複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、遅延時間を TA とするゲート回路を $k1$ 段接続し、入力端を前記第1のクロックが印加されるノードに接続し、出力端を前記初段のユニット遅延回路の入力端に接続してなる第3の固定遅延回路と、

遅延時間を TA とするゲート回路を $k2$ 段接続し、入力端を所定のユニット遅延回路の可変遅延回路の出力端又は所定のユニット遅延回路の固定遅延回路の $2n+L-m-k1-k2$ 段目(但し、 n 、 m 、 L 、 $k1$ 、 $k2$ は、 $n < m$ 、 $1 < 2n + (TL/TA)L - m - k1 - k2$ を満足する正の整数である。)のゲート回路の出力端に接続し、出力端を前記クロック伝達回路の入力端に接続してなる第4の固定遅延回路とを備えていることを特徴とする半導体集積回路。

【請求項9】前記可変遅延回路は、ソースを電源線に接続した第1のpチャネル絶縁ゲート型電界効果トランジスタと、ソースを前記第1のpチャネル絶縁ゲート型電界効果トランジスタのドレインに接続した第2のpチャネル絶縁ゲート型電界効果トランジスタと、ドレインを前記第2のpチャネル絶縁ゲート型電界効果トランジスタのドレインに接続し、ゲートを前記第2のpチャネル絶縁ゲート型電界効果トランジスタのゲートに接続した第1のnチャネル絶縁ゲート型電界効果トランジスタと、ドレインを前記第1のnチャネル絶縁ゲート型電界効果トランジスタのソースに接続し、ソースを接地線に接続した第2のnチャネル絶縁ゲート型電界効果トランジスタとを備え、

前記第2のpチャネル絶縁ゲート型電界効果トランジスタのゲートと前記第1のnチャネル絶縁ゲート型電界効果トランジスタのゲートとの接続点をクロック入力ノード、前記第2のpチャネル絶縁ゲート型電界効果トランジスタのドレインと前記第1のnチャネル絶縁ゲート型電界効果トランジスタのドレインとの接続点をクロック出力ノードとされ、前記第1のpチャネル絶縁ゲート型電界効果トランジスタのゲートに第1の遅延時間制御電圧が印加され、前記第2のnチャネル絶縁ゲート型電界効果トランジスタのゲートに第2の遅延時間制御電圧が印加されるゲート回路を縦列接続して構成されているこ

とを特徴とする請求項1、2、3、4、5、6、7又は8記載の半導体集積回路。

【請求項10】前記可変遅延回路は、ソースを電源線に接続した第1のpチャネル絶縁ゲート型電界効果トランジスタと、ソースを前記第1のpチャネル絶縁ゲート型電界効果トランジスタのドレインに接続した第2のpチャネル絶縁ゲート型電界効果トランジスタと、ドレインを前記第2のpチャネル絶縁ゲート型電界効果トランジスタのドレインに接続した第1のnチャネル絶縁ゲート型電界効果トランジスタと、ドレインを前記第1のnチャネル絶縁ゲート型電界効果トランジスタのソースに接続し、ゲートを前記第1のpチャネル絶縁ゲート型電界効果トランジスタのゲートに接続し、ソースを接地線に接続した第2のnチャネル絶縁ゲート型電界効果トランジスタとを備え、

前記第1のpチャネル絶縁ゲート型電界効果トランジスタのゲートと前記第2のnチャネル絶縁ゲート型電界効果トランジスタのゲートとの接続点をクロック入力ノード、前記第2のpチャネル絶縁ゲート型電界効果トランジスタのドレインと前記第1のnチャネル絶縁ゲート型電界効果トランジスタのドレインとの接続点をクロック出力ノードとされ、前記第2のpチャネル絶縁ゲート型電界効果トランジスタのゲートに第1の遅延時間制御電圧が印加され、前記第1のnチャネル絶縁ゲート型電界効果トランジスタのゲートに第2の遅延時間制御電圧が印加されるゲート回路を縦列接続して構成されていることを特徴とする請求項1、2、3、4、5、6、7又は8記載の半導体集積回路。

【請求項11】前記遅延制御回路は、スタート回路と、一端を前記接地線に接続し、他端に前記第1の遅延時間制御電圧を生成する第1のキャパシタと、一端を前記電源線に接続し、他端に前記第2の遅延時間制御電圧を生成する第2のキャパシタと、前記スタート回路に起動を制御され、遅延制御の基準となるクロックと、前記遅延同期ループ回路を構成する遅延回路の出力端から出力されるクロックとの位相差を比較して、前記第1のキャパシタ及び前記第2のキャパシタの充放電を行う位相比較器兼チャージポンプ回路とを備え、

前記スタート回路にスタート信号が入力されたときは、前記位相比較器兼チャージポンプ回路は、所定のクロックサイクルが経過するまでは、前記第1のキャパシタ及び前記第2のキャパシタの充電のみを行い、前記所定のクロックサイクルが経過した後は、通常動作を行うように構成されていることを特徴とする請求項9又は10記載の半導体集積回路。

【請求項12】前記位相比較器兼チャージポンプ回路は、直列接続されたプルアップ素子をなす複数のpチャネル絶縁ゲート型電界効果トランジスタと、直列接続されたプルダウン素子をなす複数のnチャネル絶縁ゲート型電界効果トランジスタとを備え、前記遅延同期ループ

回路を構成する遅延回路に入力されるクロックと、前記遅延同期ループ回路を構成する遅延回路から出力されるクロックと、前記遅延同期ループ回路を構成する遅延回路の所定のノードに出力されるクロックとを処理した複数のクロックにより前記複数のpチャネル絶縁ゲート型電界効果トランジスタ及び前記複数のnチャネル絶縁ゲート型電界効果トランジスタのオン、オフを制御され、前記第1のキャパシタの充放電を行う第1の位相比較器兼チャージポンプ回路と、

直列接続されたプルアップ素子をなす複数のpチャネル絶縁ゲート型電界効果トランジスタと、直列接続されたプルダウン素子をなす複数のnチャネル絶縁ゲート型電界効果トランジスタとを備え、前記遅延同期ループ回路を構成する遅延回路に入力されるクロックと、前記遅延同期ループ回路を構成する遅延回路から出力されるクロックと、前記遅延同期ループ回路を構成する遅延回路の所定のノードに出力されるクロックとを処理した複数のクロックにより前記複数のpチャネル絶縁ゲート型電界効果トランジスタ及び前記複数のnチャネル絶縁ゲート型電界効果トランジスタのオン、オフを制御され、前記第2のキャパシタの充放電を行う第2の位相比較器兼チャージポンプ回路とを備えていることを特徴とする請求項7記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、所定のクロックを遅延してなる所定のクロックに対して所定の位相差を有するクロックを必要とする回路を備える半導体集積回路に関する。

【0002】

【従来の技術】例えば、外部から供給されるメインクロックを遅延してなるメインクロックと所定の位相差を有するクロックを必要とする回路を備える従来の半導体集積回路は、位相同期ループ回路を備え、この位相同期ループ回路を構成する電圧制御発振器から出力されるクロックを、ゲート回路を複数個縦列接続してなるクロック伝達回路を介して、メインクロックを遅延してなるメインクロックと所定の位相差を有するクロックを必要とする回路に供給するように構成されていた。

【0003】

【発明が解決しようとする課題】このような従来の半導体集積回路においては、プロセス条件や温度変化や電源電圧の値によりクロック伝達回路の遅延時間が異なってしまう、メインクロックを遅延してなるメインクロックと所定の位相差を有するクロックを必要とする回路に対して、位相精度の高いクロック伝達を行うことができない場合があるという問題点があった。

【0004】本発明は、かかる点に鑑み、所定のクロックを遅延してなる所定のクロックに対して所定の位相差を有するクロックを必要とする回路に対して、プロセス

条件や温度変化や電源電圧の値に関わらず、位相精度の高いクロック伝達を行うことができるようにした半導体集積回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明中、第1の発明（請求項1記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し（但し、n、mは、 $n > m$ を満足する正の整数である。）、初段のゲート回路の入力端を可変遅延回路の出力端に接続してなる固定遅延回路とを有し、可変遅延回路の出力端又は固定遅延回路のn-m段目のゲート回路の出力端をクロック伝達回路の入力端に接続し、第1のクロックを遅延させる遅延回路と、固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第2のクロックに要求される位相となるように可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路を備えているというものである。

【0006】本発明中、第1の発明によれば、固定遅延回路のn-m-1段目のゲート回路から固定遅延回路の終段のゲート回路までのゲート回路数は、クロック伝達回路のゲート回路数と同数のm段とされ、しかも、固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックは第2のクロックに要求される位相となるように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、要求される位相のクロックとなる。

【0007】本発明中、第2の発明（請求項2記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し（但し、n、mは、 $n > m$ を満足する正の整数である。）、初段のゲート回路の入力端を可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、初段のユニット遅延回路の入力端を第1のクロックが印加されるノードに接続し、所定のユニット遅延回路の可変遅延回路の出力端又は所定のユニット遅延回路の固定遅延回路のn-m段目のゲート回路の出力端をクロック伝達回路の入力端に接続してなる遅延回路と、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第1のクロック又は第1のクロックと所定の位相差を有する第4のクロ

ックに同期するように複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路を備えているというものである。

【0008】本発明中、第2の発明によれば、所定のユニット遅延回路の固定遅延回路の $n-m-1$ 段目のゲート回路から所定のユニット遅延回路の固定遅延回路の終段のゲート回路までのゲート回路数は、クロック伝達回路のゲート回路数と同数の m 段とされ、しかも、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックは、第1のクロック又は第1のクロックと所定の位相差を有する第4のクロックに同期するように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、所定のユニット遅延回路の固定遅延回路の終段のゲート回路から出力されるクロックと同相のクロックとなる。

【0009】本発明中、第3の発明（請求項3記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間を TA とするゲート回路を m 段接続してなるクロック伝達回路を有する半導体集積回路において、遅延時間を TL とするゲート回路を L 段接続してなる第1の可変遅延回路と、遅延時間を TA とするゲート回路を n 段接続し、初段のゲート回路の入力端を第1の可変遅延回路の出力端に接続してなる第1の固定遅延回路と、遅延時間を TL とするゲート回路を L 段接続し、初段のゲート回路の入力端を第1の固定遅延回路の終段のゲート回路の出力端に接続してなる第2の可変遅延回路と、遅延時間を TA とするゲート回路を n 段接続し、初段のゲート回路を第2の可変遅延回路の出力端に接続してなる第2の固定遅延回路とを有し、第1のクロックを遅延させる遅延回路と、第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第2のクロックに要求される位相となるように第1、第2の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、遅延時間を TA とするゲート回路を k 段接続し、入力端を第1の可変遅延回路の出力端又は第1の固定遅延回路の $2n+(TL/TA)L-m-k$ 段目（但し、 n, m, L, k は、 $n < m < (TL/TA)L+n, 1 < 2n+(TL/TA)L-m-k < n$ を満足する正の整数である。）のゲート回路の出力端に接続し、出力端をクロック伝達回路の入力端に接続してなる第3の固定遅延回路とを備えているというものである。

【0010】本発明中、第3の発明によれば、第1の固定遅延回路の初段のゲート回路から第3の固定遅延回路の終段のゲート回路までのゲート回路数は、遅延時間を TA とするゲート回路で換算すれば、第1の固定遅延回路の初段のゲート回路から第2の固定遅延回路の $n-m$

段目のゲート回路までのゲート回路数と同数の $2n+(TL/TA)L-m$ となり、しかも、第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第2のクロックに要求される位相となるように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、要求される位相のクロックとなる。

【0011】本発明中、第4の発明（請求項4記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間を TA とするゲート回路を m 段接続してなるクロック伝達回路を有する半導体集積回路において、遅延時間を TL とするゲート回路を L 段接続してなる可変遅延回路と、遅延時間を TA とするゲート回路を n 段接続し、初段のゲート回路の入力端を可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、初段のユニット遅延回路の可変遅延回路の入力端を第1のクロックが印加されるノードに接続してなる遅延回路と、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第1のクロック又は第1のクロックと所定の位相差を有する第4のクロックに同期するように複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、遅延時間を TA とするゲート回路を k 段接続し、入力端を所定のユニット遅延回路の可変遅延回路の出力端又は所定のユニット遅延回路の固定遅延回路の $2n+(TL/TA)L-m-k$ 段目（但し、 n, m, L, k は、 $n < m < (TL/TA)L+n, 1 < 2n+(TL/TA)L-m-k < n$ を満足する正の整数である。）のゲート回路の出力端に接続し、出力端をクロック伝達回路の入力端に接続してなる第3の固定遅延回路とを備えているというものである。

【0012】本発明中、第4の発明によれば、所定のユニット遅延回路の固定遅延回路の初段のゲート回路から第3の固定遅延回路の終段のゲート回路までのゲート回路数は、遅延時間を TA とするゲート回路で換算すれば、所定のユニット遅延回路の固定遅延回路の初段のゲート回路から所定のユニット遅延回路の次段のユニット遅延回路の固定遅延回路の $n-m$ 段目のゲート回路までのゲート回路数と同数の $2n+(TL/TA)L-m$ となり、しかも、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第1のクロック又は第1のクロックと所定の位相差を有する第4のクロックに同期するように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、所定のユニット遅延回路の次段のユニット遅延回路の固定遅延回路の終段のゲート回路から出力されるクロ

ックと同相のクロックとなる。

【0013】本発明中、第5の発明（請求項5記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、遅延時間をTLとするゲート回路をL段接続してなる第1の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を第1の可変遅延回路の出力端に接続し、 $2n + (TL/TA)L - m - k$ 段目（但し、n、m、L、kは、 $n < m < (TL/TA)L + n$ 、 $1 < 2n + (TL/TA)L - m - k < n$ を満足する正の整数である。）のゲート回路の出力端をクロック伝達回路の入力端に接続してなる第1の固定遅延回路と、遅延時間をTLとするゲート回路をL段接続し、入力端を第1の固定遅延回路の終段のゲート回路の出力端に接続してなる第2の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の出力端に接続してなる第2の固定遅延回路とを有し、第1のクロックを遅延させる遅延回路と、第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第2のクロックに要求される位相よりも第3の固定遅延回路による遅延分だけ遅れた位相となるように第1、第2の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、遅延時間をTAとするゲート回路をk段接続し、遅延回路の上流側に配置され、遅延回路とともに第1のクロックを遅延させる第3の固定遅延回路とを備えているというものである。

【0014】本発明中、第5の発明によれば、第3の固定遅延回路のゲート数と、第1の固定遅延回路の初段のゲート回路から $2n + (TL/TA)L - m - k$ 段目のゲート回路までのゲート回路数の合計は、遅延時間をTAとするゲート回路で換算すれば、第1の固定遅延回路の初段のゲート回路から第2の固定遅延回路のn-m段目のゲート回路までのゲート回路数と同数の $2n + (TL/TA)L - m$ となり、しかも、第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第2のクロックに要求される位相よりも第3の固定遅延回路による遅延分だけ遅れた位相となるように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、要求される位相のクロックとなる。

【0015】本発明中、第6の発明（請求項6記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとする

ゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、遅延時間をTLとするゲート回路をL段接続してなる可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、所定のユニット遅延回路の $2n + (TL/TA)L - m - k$ 段目（但し、n、m、L、kは、 $n < m < (TL/TA)L + n$ 、 $1 < 2n + (TL/TA)L - m - k < n$ を満足する正の整数である。）のゲート回路の出力端をクロック伝達回路の入力端に接続してなる遅延回路と、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが初段のユニット遅延回路に入力される第4のクロック又はこの第4のクロックと所定の位相差を有する第5のクロックに同期するように複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、遅延時間をTAとするゲート回路をk段接続し、入力端を第1のクロックが印加されるノードに接続し、出力端を初段のユニット遅延回路の入力端に接続してなる第3の固定遅延回路とを備えているというものである。

【0016】本発明中、第6の発明によれば、第3の固定遅延回路のゲート数と、所定のユニット遅延回路の固定遅延回路の初段のゲート回路から $2n + (TL/TA)L - m - k$ 段目のゲート回路までのゲート回路数の合計は、遅延時間をTAとするゲート回路で換算すれば、所定のユニット遅延回路の固定遅延回路の初段のゲート回路から所定のユニット遅延回路の次段のユニット遅延回路の固定遅延回路のn-m段目のゲート回路までのゲート回路数と同数の $2n + (TL/TA)L - m$ となり、しかも、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが初段のユニット遅延回路に入力される第4のクロック又はこの第4のクロックと所定の位相差を有する第5のクロックに同期するように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、所定のユニット遅延回路の次段のユニット遅延回路の固定遅延回路の終段のゲート回路から出力されるクロックと同相のクロックとなる。

【0017】本発明中、第7の発明（請求項7記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間をTAとするゲート回路をm段接続してなるクロック伝達回路を有する半導体集積回路において、遅延時間をTLとするゲート回路をL段接続してなる第1の可変遅延回路と、遅延時間をTAとするゲート回路をn段接続し、初段のゲート回路の入力端を第1の可変遅延回路の出力端に接続し、 $2n + (TL/TA)L - m - k$ 段目（但し、n、m、L、kは、 $n < m < (TL/TA)L + n$ 、 $1 < 2n + (TL/TA)L - m - k < n$ を満足する正の整数である。）のゲート回路の出力端をクロック伝達回路の入力端に接続してなる遅延回路と、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが初段のユニット遅延回路に入力される第4のクロック又はこの第4のクロックと所定の位相差を有する第5のクロックに同期するように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、要求される位相のクロックとなる。

ト回路の入力端を可変遅延回路の出力端に接続してなる第1の固定遅延回路と、遅延時間を T_L とするゲート回路を L 段接続し、入力端を第1の固定遅延回路の終段のゲート回路に接続してなる第2の可変遅延回路と、遅延時間を T_A とするゲート回路を n 段接続し、初段のゲート回路の入力端を可変遅延回路の出力端に接続してなる第2の固定遅延回路とを有し、第1のクロックを遅延させる遅延回路と、第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第2のクロックに要求される位相よりも第3の固定遅延回路による遅延分だけ遅れた位相となるように第1、第2の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、遅延時間を T_A とするゲート回路を k_1 段接続し、遅延回路の上流側に配置され、遅延回路とともに第1のクロックを遅延させる第3の固定遅延回路と、遅延時間を T_A とするゲート回路を k_2 段接続し、入力端を第1の可変遅延回路の出力端又は第1の固定遅延回路の $2n + (T_L / T_A)L - m - k_1 - k_2$ 段目（但し、 n, m, L, k_1, k_2 は、 $n < m, 1 < 2n + (T_L / T_A)L - m - k_1 - k_2$ を満足する正の整数である。）のゲート回路の出力端に接続し、出力端をクロック伝達回路の入力端に接続してなる第4の固定遅延回路とを備えているというものである。

【0018】本発明中、第7の発明によれば、第3の固定遅延回路のゲート回路数と、第1の固定遅延回路の初段のゲート回路から第4の固定遅延回路の終段のゲート回路までのゲート回路数の合計は、遅延時間を T_A とするゲート回路で換算すれば、第1の固定遅延回路の初段のゲート回路から第2の固定遅延回路の $n - m$ 段目のゲート回路までのゲート回路数と同数の $2n + (T_L / T_A)L - m$ となり、しかも、第2の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが第2のクロックに要求される位相よりも第3の固定遅延回路による遅延分だけ遅れた位相となるように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、要求される位相のクロックとなる。

【0019】本発明中、第8の発明（請求項8記載の半導体集積回路）は、第1のクロックを遅延してなる、第1のクロックと所定の位相差を有する第2のクロックを必要とする回路を備えると共に、第2のクロックを必要とする回路へのクロック伝送路に遅延時間を T_A とするゲート回路を m 段接続してなるクロック伝達回路を有する半導体集積回路において、遅延時間を T_L とするゲート回路を L 段接続してなる可変遅延回路と、遅延時間を T_A とするゲート回路を n 段接続し、初段のゲート回路の入力端を可変遅延回路の出力端に接続してなる固定遅延回路からなる複数のユニット遅延回路を縦列接続し、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが初段のユニッ

ト遅延回路に入力される第4のクロック又はこの第4のクロックと所定の位相差を有する第5のクロックに同期するように複数のユニット遅延回路の可変遅延回路の遅延時間を制御する遅延時間制御回路とを有する遅延同期ループ回路と、遅延時間を T_A とするゲート回路を k_1 段接続し、入力端を第1のクロックが印加されるノードに接続し、出力端を初段のユニット遅延回路の入力端に接続してなる第3の固定遅延回路と遅延時間を T_A とするゲート回路を k_2 段接続し、入力端を所定のユニット遅延回路の可変遅延回路の出力端又は所定のユニット遅延回路の固定遅延回路の $2n + L - m - k_1 - k_2$ 段目（但し、 n, m, L, k_1, k_2 は、 $n < m, 1 < 2n + (T_L / T_A)L - m - k_1 - k_2$ を満足する正の整数である。）のゲート回路の出力端に接続し、出力端をクロック伝達回路の入力端に接続してなる第4の固定遅延回路とを備えているというものである。

【0020】本発明中、第8の発明によれば、第3の固定遅延回路のゲート回路数と、所定のユニット遅延回路の固定遅延回路の初段のゲート回路から第4の固定遅延回路の終段のゲート回路までのゲート回路数の合計は、遅延時間を T_A とするゲート回路で換算すれば、所定のユニット遅延回路の固定遅延回路の初段のゲート回路から所定のユニット遅延回路の固定遅延回路の $n - m$ 段目のゲート回路までのゲート回路数と同数の $2n + (T_L / T_A)L - m$ となり、しかも、終段のユニット遅延回路の固定遅延回路の終段のゲート回路の出力端に得られる第3のクロックが初段のユニット遅延回路に入力される第4のクロック又はこの第4のクロックと所定の位相差を有する第5のクロックに同期するように制御されるので、クロック伝達回路から出力される第2のクロックは、プロセス条件や温度変化や電源電圧の値に関わらず、所定のユニット遅延回路の次段のユニット遅延回路の固定遅延回路の終段のゲート回路から出力されるクロックと同相のクロックとなる。

【0021】本発明中、第9の発明（請求項9記載の半導体集積回路）は、第1、第2、第3、第4、第5、第6、第7又は第8の発明において、可変遅延回路は、ソースを電源線に接続した第1の p チャネル絶縁ゲート型電界効果トランジスタと、ソースを第1の p チャネル絶縁ゲート型電界効果トランジスタのドレインに接続した第2の p チャネル絶縁ゲート型電界効果トランジスタと、ドレインを第2の p チャネル絶縁ゲート型電界効果トランジスタのドレインに接続し、ゲートを第2の p チャネル絶縁ゲート型電界効果トランジスタのゲートに接続した第1の n チャネル絶縁ゲート型電界効果トランジスタと、ドレインを第1の n チャネル絶縁ゲート型電界効果トランジスタのソースに接続し、ソースを接地線に接続した第2の n チャネル絶縁ゲート型電界効果トランジスタとを備え、第2の p チャネル絶縁ゲート型電界効果トランジスタのゲートと第1の n チャネル絶縁ゲート

型電界効果トランジスタのゲートとの接続点をクロック入力ノード、第2のpチャネル絶縁ゲート型電界効果トランジスタのドレインと第1のnチャネル絶縁ゲート型電界効果トランジスタのドレインとの接続点をクロック出力ノードとされ、第1のpチャネル絶縁ゲート型電界効果トランジスタのゲートに第1の遅延時間制御電圧が印加され、第2のnチャネル絶縁ゲート型電界効果トランジスタのゲートに第2の遅延時間制御電圧が印加されるゲート回路を縦列接続して構成されているというものである。

【0022】本発明中、第10の発明（請求項10記載の半導体集積回路）は、第1、第2、第3、第4、第5、第6、第7又は第8の発明において、可変遅延回路は、ソースを電源線に接続した第1のpチャネル絶縁ゲート型電界効果トランジスタと、ソースを第1のpチャネル絶縁ゲート型電界効果トランジスタのドレインに接続した第2のpチャネル絶縁ゲート型電界効果トランジスタと、ドレインを第2のpチャネル絶縁ゲート型電界効果トランジスタのドレインに接続した第1のnチャネル絶縁ゲート型電界効果トランジスタと、ドレインを第1のnチャネル絶縁ゲート型電界効果トランジスタのソースに接続し、ゲートを第1のpチャネル絶縁ゲート型電界効果トランジスタのゲートに接続し、ソースを接地線に接続した第2のnチャネル絶縁ゲート型電界効果トランジスタとを備え、第1のpチャネル絶縁ゲート型電界効果トランジスタのゲートと第2のnチャネル絶縁ゲート型電界効果トランジスタのゲートとの接続点をクロック入力ノード、第2のpチャネル絶縁ゲート型電界効果トランジスタのドレインと第1のnチャネル絶縁ゲート型電界効果トランジスタのドレインとの接続点をクロック出力ノードとされ、第2のpチャネル絶縁ゲート型電界効果トランジスタのゲートに第1の遅延時間制御電圧が印加され、第1のnチャネル絶縁ゲート型電界効果トランジスタのゲートに第2の遅延時間制御電圧が印加されるゲート回路を縦列接続して構成されているというものである。

【0023】本発明中、第11の発明（請求項11記載の半導体集積回路）は、第9又は第10の発明において、遅延制御回路は、スタート回路と、一端を接地線に接続し、他端に第1の遅延時間制御電圧を生成する第1のキャパシタと、一端を電源線に接続し、他端に第2の遅延時間制御電圧を生成する第2のキャパシタと、スタート回路に起動を制御され、遅延制御の基準となるクロックと、遅延同期ループ回路を構成する遅延回路の出力端から出力されるクロックとの位相差を比較して、第1のキャパシタ及び前記第2のキャパシタの充放電を行う位相比較器兼チャージポンプ回路とを備え、スタート回路にスタート信号が入力されたときは、位相比較器兼チャージポンプ回路は、所定のクロックサイクルが経過するまでは、第1のキャパシタ及び第2のキャパシタの充

電のみを行い、所定のクロックサイクルが経過した後は、通常動作を行うように構成されているというものである。

【0024】本発明中、第12の発明（請求項12記載の半導体集積回路）は、第11の発明において、位相比較器兼チャージポンプ回路は、直列接続されたプルアップ素子をなす複数のpチャネル絶縁ゲート型電界効果トランジスタと、直列接続されたプルダウン素子をなす複数のnチャネル絶縁ゲート型電界効果トランジスタとを備え、遅延同期ループ回路を構成する遅延回路に入力されるクロックと、遅延同期ループ回路を構成する遅延回路から出力されるクロックと、遅延同期ループ回路を構成する遅延回路の所定のノードに出力されるクロックとを処理した複数のクロックにより複数のpチャネル絶縁ゲート型電界効果トランジスタ及び複数のnチャネル絶縁ゲート型電界効果トランジスタのオン、オフを制御され、第1のキャパシタの充放電を行う第1の位相比較器兼チャージポンプ回路と、直列接続されたプルアップ素子をなす複数のpチャネル絶縁ゲート型電界効果トランジスタと、直列接続されたプルダウン素子をなす複数のnチャネル絶縁ゲート型電界効果トランジスタとを備え、遅延同期ループ回路を構成する遅延回路に入力されるクロックと、遅延同期ループ回路を構成する遅延回路から出力されるクロックと、遅延同期ループ回路を構成する遅延回路の所定のノードに出力されるクロックとを処理した複数のクロックにより複数のpチャネル絶縁ゲート型電界効果トランジスタ及び複数のnチャネル絶縁ゲート型電界効果トランジスタのオン、オフを制御され、第2のキャパシタの充放電を行う第2の位相比較器兼チャージポンプ回路とを備えているというものである。

【0025】

【発明の実施の形態】以下、図1～図35を参照して、本発明の第1実施形態～第8実施形態について説明する。

【0026】第1実施形態・図1～図4

図1は本発明の第1実施形態の要部を示す回路図である。図1中、1はメインクロックMCが入力されるメインクロック入力端子、2はメインクロックMCを1周期遅延してなる、メインクロックMCと同相のクロックQCを必要とする回路である。

【0027】また、3はクロックQCを必要とする回路2に対してクロックQCを供給するクロック伝達回路であり、4-1、4-2、・・・、4-mは遅延時間をTAとするゲート回路（例えば、CMOSインバータ）である。

【0028】また、6はメインクロックMCを遅延させる可変遅延回路であり、この可変遅延回路6は、例えば、図2又は図3に示すように構成される。

【0029】図2において、8は電源電圧VCCを供給

するVCC電源線、9-1、9-2、9-3、・・・9-LはCMOSインバータであり、10-1、10-2、10-3、・・・10-LはpMOSトランジスタ、11-1、11-2、11-3、・・・11-LはnMOSトランジスタである。

【0030】また、12-1、12-2、12-3、・・・12-Lはゲートに遅延時間制御電圧VCが印加される可変抵抗素子として機能するpMOSトランジスタ、13-1、13-2、13-3、・・・13-Lはゲートに遅延時間制御電圧VCZが印加される可変抵抗素子として機能するnMOSトランジスタである。

【0031】また、図3において、15はVCC電源線、16-1、16-2、16-3、・・・16-LはCMOSインバータであり、17-1、17-2、17-3、・・・17-LはpMOSトランジスタ、18-1、18-2、18-3、・・・18-LはnMOSトランジスタである。

【0032】また、19はゲートに遅延時間制御電圧VCが印加される可変抵抗素子として機能するpMOSトランジスタ、20はゲートに遅延時間制御電圧VCZが印加される可変抵抗素子として機能するnMOSトランジスタである。

【0033】また、図1において、22は可変遅延回路6の出力C6を遅延させる固定遅延回路であり、23-1、23-2、・・・23-m、23-(m+1)、23-nは遅延時間をTAとするゲート回路である。

【0034】また、25はメインクロックMCの位相と固定遅延回路22の終段のゲート回路23-1の出力C22Aの位相とを比較し、可変遅延回路6に遅延時間制御電圧VC、VCZを供給し、固定遅延回路22の終段のゲート回路23-1から出力されるクロックC22Aの位相がメインクロックMCの位相に一致するように可変遅延回路6を制御する位相比較器(PC)である。

【0035】この例では、可変遅延回路6と、固定遅延回路22と、位相比較器25とで、遅延同期ループ回路(DLL回路)が構成されている。

【0036】また、固定遅延回路22のn-m段目のゲート回路23-(m+1)の出力端は、クロック伝達回路3の初段のゲート回路4-mの入力端に接続され、固定遅延回路22のn-m段目のゲート回路23-(m+1)から出力されるクロックC22Bがクロック伝達回路3の初段のゲート回路4-mに供給されるように構成されている。

【0037】図4は本発明の第1実施形態の動作を示す波形図であり、図4(A)はメインクロックMC、図4(B)は固定遅延回路22の終段のゲート回路23-1から出力されるクロックC22A、図4(C)は固定遅延回路22のn-m段目のゲート回路23-(m+1)から出力されるクロックC22B、図4(D)はクロック伝達回路3から出力されるクロック出力QCを示して

いる。

【0038】即ち、本発明の第1実施形態においては、固定遅延回路22の終段のゲート回路23-1から出力されるクロックC22Aは、メインクロックMCと同相となるように制御される。

【0039】したがって、固定遅延回路22のn-m段目のゲート回路23-(m+1)から出力されるクロックC22Bは、固定遅延回路22の終段のゲート回路23-1から出力されるクロックC22Aよりもゲート回路23-m~23-1の合計遅延時間Tmだけ位相の進んだクロックとなる。

【0040】ここに、クロック伝達回路3のゲート回路4-m~4-1の段数はm段であり、固定遅延回路22のゲート回路23-m~23-1の段数もm段であるから、固定遅延回路22のn-m段目のゲート回路23-(m+1)から出力されるクロックC22Bは、クロック伝達回路3により時間Tmの遅延を受け、クロック伝達回路3から出力されるクロックQCはメインクロックMCと同相のクロックとなる。

【0041】したがって、本発明の第1実施形態によれば、メインクロックMCと同相のクロックQCを必要とする回路2に対して、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロックMCを遅延してなる、メインクロックMCと同相のクロックQCを供給することができる。

【0042】第2実施形態・図5、図6

図5は本発明の第2実施形態の要部を示す回路図である。図5中、27はメインクロックMCが入力されるメインクロック入力端子、28はメインクロックMCを遅延してなる、メインクロックMCに対して180°位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して270°位相の遅れたクロックQC2を必要とする回路である。

【0043】また、29はクロックQC1、QC2を必要とする回路28にクロックQC1を供給するクロック伝達回路であり、30-1、30-2、・・・30-mは遅延時間をTAとするゲート回路(例えば、CMOSインバータ)である。

【0044】また、31はクロックQC1、QC2を必要とする回路28にクロックQC2を供給するクロック伝達回路であり、32-1、32-2、・・・32-mは遅延時間をTAとするゲート回路(例えば、CMOSインバータ)である。

【0045】また、34はメインクロックMCを遅延させる、例えば、図2又は図3に示すように構成される可変遅延回路である。

【0046】また、35は可変遅延回路34から出力されるクロックC34を遅延させる固定遅延回路であり、36-1、36-2、・・・36-nは遅延時間をTAとするゲート回路(例えば、CMOSインバータ)であ

る。

【0047】また、37は固定遅延回路35から出力されるクロックC35を遅延させる、可変遅延回路34と同一の回路構成とされた可変遅延回路である。

【0048】また、38は可変遅延回路37から出力されるクロックC37を遅延させる、固定遅延回路35と同一の回路構成とされた固定遅延回路であり、39-1、39-2、...39-m1、39-(m1+1)、...39-nは遅延時間をTAとするゲート回路である。

【0049】また、40は固定遅延回路38の終段のゲート回路39-1から出力されるクロックC38Aを遅延させる、可変遅延回路34と同一の回路構成とされた可変遅延回路である。

【0050】また、41は可変遅延回路40から出力されるクロックC40を遅延させる、固定遅延回路35と同一の回路構成とされた固定遅延回路であり、42-1、42-2、...42-m2、42-(m2+1)、...42-nは遅延時間をTAとするゲート回路である。

【0051】また、43は固定遅延回路41の終段のゲート回路42-1から出力されるクロックC41Aを遅延させる、可変遅延回路34と同一の回路構成とされた可変遅延回路である。

【0052】また、44は可変遅延回路43から出力されるクロックC43を遅延させる、固定遅延回路35と同一の回路構成とされた固定遅延回路であり、45-1、45-2、...45-nは遅延時間をTAとするゲート回路である。

【0053】このように、本発明の第2実施形態においては、可変遅延回路34及び固定遅延回路35からなるユニット遅延回路と、可変遅延回路37及び固定遅延回路38からなるユニット遅延回路と、可変遅延回路40及び固定遅延回路41からなるユニット遅延回路と、可変遅延回路43及び固定遅延回路44からなるユニット遅延回路とを縦列接続して、メインクロックMCを遅延させる遅延回路が構成されている。

【0054】また、46はメインクロックMCの位相と固定遅延回路44の終段のゲート回路45-1から出力されるクロックC44の位相とを比較し、可変遅延回路34、37、40、43に対して遅延時間制御電圧VC、VCZを供給して、固定遅延回路44の終段のゲート回路45-1から出力されるクロックC44の位相がメインクロックMCの位相に一致するように可変遅延回路34、37、40、43を制御する位相比較器(PC)である。

【0055】この例では、可変遅延回路34と、固定遅延回路35と、可変遅延回路37と、固定遅延回路38と、可変遅延回路40と、固定遅延回路41と、可変遅延回路43と、固定遅延回路44と、位相比較器46と

で、遅延同期ループ回路が構成されている。

【0056】また、固定遅延回路38のn-m1段目のゲート回路39-(m1+1)の出力端は、クロック伝達回路29の初段のゲート回路30-m1の入力端に接続され、固定遅延回路38のn-m1段目のゲート回路39-(m1+1)から出力されるクロックC38Bがクロック伝達回路29の初段のゲート回路30-m1に供給されるように構成されている。

10 【0057】また、固定遅延回路41のn-m2段目のゲート回路42-(m2+1)の出力端は、クロック伝達回路31の初段のゲート回路32-m2の入力端に接続され、固定遅延回路41のn-m2段目のゲート回路42-(m2+1)から出力されるクロックC41Bがクロック伝達回路31の初段のゲート回路32-m2に供給されるように構成されている。

【0058】図6は本発明の第2実施形態の動作を示す波形図であり、図6(A)はメインクロックMC、図6(B)は固定遅延回路35から出力されるクロックC35を示している。

20 【0059】また、図6(C)は固定遅延回路38の終段のゲート回路39-1から出力されるクロックC38A、図6(D)は固定遅延回路38のn-m1段目のゲート回路39-(m1+1)から出力されるクロックC38B、図6(E)はクロック伝達回路29から出力されるクロック出力QC1を示している。

【0060】また、図6(F)は固定遅延回路41の終段のゲート回路42-1から出力されるクロックC41A、図6(G)は固定遅延回路41のn-m2段目のゲート回路42-(m2+1)から出力されるクロックC41B、図6(H)はクロック伝達回路31から出力されるクロックQC2、図6(I)は固定遅延回路44から出力されるクロックC44を示している。

【0061】本発明の第2実施形態においては、可変遅延回路34、37、40、43はそれぞれ同一の回路構成とされ、固定遅延回路35、38、41、44もそれぞれ同一の回路構成とされている。

【0062】したがって、固定遅延回路35から出力されるクロックC35、固定遅延回路38の終段のゲート回路39-1から出力されるクロックC38A及び固定遅延回路41の終段のゲート回路42-1から出力されるクロックC41Aは、それぞれ、メインクロックMCに対して90°、180°、270°位相の遅れたクロックとなり、固定遅延回路44から出力されるクロックC44は、メインクロックMCと同相のクロックとなるように制御される。

【0063】この結果、固定遅延回路38のn-m1段目のゲート回路39-(m1+1)から出力されるクロックC38Bは、固定遅延回路38の終段のゲート回路39-1から出力されるクロックC38Aよりも、ゲート回路39-m1~39-1の合計遅延時間Tm1だけ

位相の進んだクロックとなる。

【0064】ここに、クロック伝達回路29のゲート回路30-m1~30-1の段数はm1段であり、固定遅延回路38のゲート回路39-m1~39-1の段数もm1段であるから、クロック伝達回路29から出力されるクロックQC1は、メインクロックMCを遅延してなる、メインクロックMCに対して180°位相の遅れたクロックとなる。

【0065】また、固定遅延回路41のn-m2段目のゲート回路42-(m2+1)から出力されるクロックC41Bは、固定遅延回路41の終段のゲート回路42-1から出力されるクロックC41Aよりも、ゲート回路42-m2~42-1の合計遅延時間Tm2だけ位相の進んだクロックとなる。

【0066】ここに、クロック伝達回路31のゲート回路32-m2~32-1の段数はm2段であり、固定遅延回路41のゲート回路42-m2~42-1の段数もm2段であるから、クロック伝達回路31から出力されるクロックQC2は、メインクロックMCを遅延してなる、メインクロックMCに対して270°位相の遅れたクロックとなる。

【0067】したがって、本発明の第2実施形態によれば、メインクロックMCを遅延してなる、メインクロックMCに対して180°位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して270°位相の遅れたクロックQC2を必要とする回路28に対して、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロックMCを遅延してなる、メインクロックMCに対して180°位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して270°位相の遅れたクロックQC2を供給することができる。

【0068】第3実施形態・・・図7、図8

図7は本発明の第3実施形態の要部を示す回路図である。図7中、48はメインクロックMCが入力されるメインクロック入力端子、49はメインクロックMCを遅延してなる、メインクロックMCに対して180°位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して270°位相の遅れたクロックQC2を必要とする回路である。

【0069】また、50はクロックQC1、QC2を必要とする回路49にクロックQC1を供給するクロック伝達回路であり、51-1、51-2、・・・51-m1は遅延時間をTAとするゲート回路である。

【0070】また、52はクロックQC1、QC2を必要とする回路49にクロックQC2を供給するクロック伝達回路であり、53-1、53-2、・・・53-m2は遅延時間をTAとするゲート回路である。

【0071】また、55はメインクロックMCを遅延させる、例えば、遅延時間をTLとするゲート回路をL段

接続してなる、例えば、図2又は図3に示すように構成される可変遅延回路である。

【0072】また、56は可変遅延回路55から出力されるクロックC55を遅延させる固定遅延回路であり、57-1、57-2、・・・57-pl、57-(pl+1)、・・・57-nは遅延時間をTAとするゲート回路（例えば、CMOSインバータ）である。

【0073】また、58は固定遅延回路56の終段のゲート回路57-1から出力されるクロックC56Aを遅延させる、可変遅延回路55と同一の回路構成とされた可変遅延回路である。

【0074】また、59は可変遅延回路58から出力されるクロックC58を遅延させる、固定遅延回路56と同一の回路構成とされた固定遅延回路であり、60-1、60-2、・・・60-p2、60-(p2+1)、・・・60-nは遅延時間をTAとするゲート回路である。

【0075】また、61は固定遅延回路59の終段のゲート回路60-1から出力されるクロックC59Aを遅延させる、可変遅延回路55と同一の回路構成とされた可変遅延回路である。

【0076】また、62は可変遅延回路61から出力されるクロックC61を遅延させる、固定遅延回路56と同一の回路構成とされた固定遅延回路であり、63-1、63-2、・・・63-nは遅延時間をTAとするゲート回路である。

【0077】また、64は固定遅延回路62から出力されるクロックC62を遅延させる、可変遅延回路55と同一の回路構成とされた可変遅延回路である。

【0078】また、65は可変遅延回路64から出力されるクロックC64を遅延させる、固定遅延回路56と同一の回路構成とされた固定遅延回路であり、66-1、66-2、・・・66-nは遅延時間をTAとするゲート回路である。

【0079】このように、本発明の第3実施形態においては、可変遅延回路55及び固定遅延回路56からなるユニット遅延回路と、可変遅延回路58及び固定遅延回路59からなるユニット遅延回路と、可変遅延回路61及び固定遅延回路62からなるユニット遅延回路と、可変遅延回路64及び固定遅延回路65からなるユニット遅延回路とを縦列接続して、メインクロックMCを遅延させる遅延回路が構成されている。

【0080】また、67はメインクロックMCの位相と固定遅延回路65の出力C65の位相とを比較し、可変遅延回路55、58、61、64に対して遅延時間制御電圧VC、VCZを供給して、固定遅延回路65の出力C65の位相がメインクロックMCの位相に一致するように可変遅延回路55、58、61、64を制御する位相比較器(PC)である。

【0081】この例では、可変遅延回路55と、固定遅

延回路 56 と、可変遅延回路 58 と、固定遅延回路 59 と、可変遅延回路 61 と、固定遅延回路 62 と、可変遅延回路 64 と、固定遅延回路 65 と、位相比較器 67 とで、遅延同期ループ回路が構成されている。

【0082】また、68 は固定遅延回路であり、69-1、69-2、・・・69-k1 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。但し、k1 は、 $(TL/TA)L+n+p1-m1$ である。

【0083】また、70 は固定遅延回路であり、71-1、72-2、・・・73-k2 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。但し、k2 は、 $(TL/TA)L+n+p2-m2$ である。

【0084】図 8 は本発明の第 3 実施形態の動作を示す波形図であり、図 8 (A) はメインクロック MC、図 8 (B) は固定遅延回路 56 の終段のゲート回路 57-1 から出力されるクロック C56A、図 8 (C) は固定遅延回路 56 の n-p1 段目のゲート回路 57-(p1+1) から出力されるクロック C56B、図 8 (D) は固定遅延回路 68 から出力されるクロック C68、図 8 (E) はクロック伝達回路 50 から出力されるクロック QC1 を示している。

【0085】また、図 8 (F) は固定遅延回路 59 の終段のゲート回路 60-1 から出力されるクロック C59A、図 8 (G) は固定遅延回路 59 の n-p2 段目のゲート回路 60-(p2+1) から出力されるクロック C59B、図 8 (H) は固定遅延回路 70 から出力されるクロック C70、図 8 (I) はクロック伝達回路 52 から出力されるクロック QC2、図 8 (J) は固定遅延回路 62 から出力されるクロック C62、図 8 (K) は固定遅延回路 65 から出力されるクロック C65 を示している。

【0086】本発明の第 3 実施形態においては、可変遅延回路 55、58、61、64 はそれぞれ同一の回路構成とされ、固定遅延回路 56、59、62、65 もそれぞれ同一の回路構成とされている。

【0087】したがって、固定遅延回路 56 の終段のゲート回路 57-1 から出力されるクロック C56A、固定遅延回路 59 の終段のゲート回路 60-1 から出力されるクロック C59A、固定遅延回路 62 から出力されるクロック C62 は、それぞれ、メインクロック MC に対して 90° 、 180° 、 270° 位相の遅れたクロックとなり、固定遅延回路 65 から出力されるクロック C65 は、メインクロック MC と同相のクロックとなるように制御される。

【0088】ここに、固定遅延回路 68 のゲート回路数 k1 は、 $(TL/TA)L+n+p1-m1$ とされているので、固定遅延回路 68 から出力されるクロック C68 は、固定遅延回路 59 の終段のゲート回路 60-1 か

ら出力されるクロック C59A よりもゲート回路 60-m1~68-1 の合計遅延時間 Tm1 だけ位相の進んだクロックとなり、クロック伝達回路 50 から出力されるクロック QC1 はメインクロック MC に対して 180° だけ位相の遅れたクロックとなる。

【0089】また、固定遅延回路 70 のゲート回路数 k2 は、 $(TL/TA)L+n+p2-m2$ とされているので、固定遅延回路 70 から出力されるクロック C70 は、固定遅延回路 62 から出力されるクロック C62 よりも、ゲート回路 60-m2~68-1 の合計遅延時間 Tm2 だけ位相の進んだクロックとなり、クロック伝達回路 52 から出力されるクロック QC2 はメインクロック MC に対して 270° 位相の遅れたクロックとなる。

【0090】したがって、本発明の第 3 実施形態によれば、メインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を必要とする回路 49 に対して、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を供給することができる。

【0091】第 4 実施形態・・・図 9、図 10

図 9 は本発明の第 4 実施形態の要部を示す回路図である。図 9 中、73 はメインクロック MC が入力されるメインクロック入力端子、74 はメインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を必要とする回路である。

【0092】また、75 はクロック QC1、QC2 を必要とする回路 74 にクロック QC1 を供給するクロック伝達回路であり、76-1、76-2、・・・76-m1 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0093】また、77 はクロック QC1、QC2 を必要とする回路 74 にクロック QC2 を供給するクロック伝達回路であり、78-1、78-2、・・・78-m2 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0094】また、80 はメインクロック MC を遅延させる固定遅延回路であり、81-1、81-2、・・・81-k1 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0095】また、82 は固定遅延回路 80 から出力されるクロック C80 を遅延させる、遅延時間を TL とするゲート回路を L 段接続してなる、例えば、図 2 又は図 3 に示すように構成される可変遅延回路である。

10

20

30

40

50

【0096】また、83は可変遅延回路82から出力されるクロックC82を遅延させる固定遅延回路であり、84-1、84-2、・・・84-p1、84-(p1+1)、・・・84-nは遅延時間をTAとするゲート回路（例えば、CMOSインバータ）である。

【0097】また、85は固定遅延回路83から出力されるクロックC83Aを遅延させる、可変遅延回路82と同一の回路構成とされた可変遅延回路である。

【0098】また、86は可変遅延回路85から出力されるクロックC85を遅延させる、固定遅延回路83と同一の回路構成とされた固定遅延回路であり、87-1、87-2、・・・87-p2、87-(p2+1)、・・・87-nは遅延時間をTAとするゲート回路である。

【0099】また、88は固定遅延回路86から出力されるクロックC86Aを遅延させる、可変遅延回路82と同一の回路構成とされた可変遅延回路である。

【0100】また、89は可変遅延回路88から出力されるクロックC88を遅延させる、固定遅延回路83と同一の回路構成とされた固定遅延回路であり、90-1、90-2、・・・90-nは遅延時間をTAとするゲート回路である。

【0101】また、91は固定遅延回路89から出力されるクロックC89を遅延させる、可変遅延回路82と同一の回路構成とされた可変遅延回路である。

【0102】また、92は可変遅延回路91から出力されるクロックC91を遅延させる、固定遅延回路83と同一の回路構成とされた固定遅延回路であり、93-1、93-2、・・・93-nは遅延時間をTAとするゲート回路である。

【0103】このように、本発明の第4実施形態においては、固定遅延回路80と、可変遅延回路82及び固定遅延回路83からなるユニット遅延回路と、可変遅延回路85及び固定遅延回路86からなるユニット遅延回路と、可変遅延回路88及び固定遅延回路89からなるユニット遅延回路と、可変遅延回路91及び固定遅延回路92からなるユニット遅延回路とで、メインクロックMCを遅延する遅延回路が構成されている。

【0104】また、94は固定遅延回路80から出力されるクロックC80の位相と固定遅延回路92から出力されるクロックC92の位相とを比較し、可変遅延回路82、85、88、91に遅延時間制御電圧VC、VCZを供給して、固定遅延回路92から出力されるクロックC92の位相が固定遅延回路80から出力されるクロックC80の位相に一致するように可変遅延回路82、85、88、91を制御する位相比較器(PC)である。

【0105】この例では、可変遅延回路82と、固定遅延回路83と、可変遅延回路85と、固定遅延回路86と、可変遅延回路88と、固定遅延回路89と、可変遅

延回路91と、固定遅延回路92と、位相比較器94とで、遅延同期ループ回路が構成されている。

【0106】また、95は固定遅延回路86のn-p2段目のゲート回路87-(p2+1)から出力されるクロックC86Bを遅延する固定遅延回路であり、96-1、96-2、・・・96-(k2-k1)は遅延時間をTAとするゲート回路（例えば、CMOSインバータ）である。なお、k1は $(TL/TA)L+n+p1-m1$ であり、k2は $(TL/TA)L+n+p2-m2$ である。

【0107】ここに、固定遅延回路83のn-p1段目のゲート回路84-(p1+1)の出力端は、クロック伝達回路75の初段のゲート回路76-m1の入力端に接続されている。

【0108】また、固定遅延回路86のn-p2段目のゲート回路87-(p2+1)の出力端は、固定遅延回路95の初段のゲート回路96-(k2-k1)の入力端に接続され、固定遅延回路95の終段のゲート回路96-1の出力端は、クロック伝達回路77の初段のゲート回路78-m2の入力端に接続されている。

【0109】図10は本発明の第4実施形態の動作を示す波形図であり、図10(A)はメインクロックMC、図10(B)は固定遅延回路80から出力されるクロックC80を示している。

【0110】また、図10(C)は固定遅延回路83の終段のゲート回路84-1から出力されるクロックC83A、図10(D)は固定遅延回路83のn-p1段目のゲート回路84-(p1+1)から出力されるクロックC83B、図10(E)はクロック伝達回路75から出力されるクロック出力QC1を示している。

【0111】また、図10(F)は固定遅延回路86の終段のゲート回路87-1から出力されるクロックC86A、図10(G)は固定遅延回路86のn-p2段目のゲート回路87-(p2+1)から出力されるクロックC86B、図10(H)は固定遅延回路95から出力されるクロックC95、図10(I)はクロック伝達回路77から出力されるクロックQC2を示している。

【0112】また、図10(J)は固定遅延回路89から出力されるクロックC89、図10(K)は固定遅延回路92から出力されるクロックC92を示している。

【0113】本発明の第4実施形態においては、可変遅延回路82、85、88、91はそれぞれ同一の回路構成とされ、固定遅延回路83、86、89、92もそれぞれ同一の回路構成とされている。

【0114】したがって、固定遅延回路83のゲート回路84-1から出力されるクロックC83A、固定遅延回路86のゲート回路87-1から出力されるクロックC86A、固定遅延回路89から出力されるクロックC89は、それぞれ、固定遅延回路80から出力されるクロックC80に対して90°、180°、270°位相

10

20

30

40

50

の遅れたクロックとなり、固定遅延回路92から出力されるクロックC92は、固定遅延回路80から出力されるクロックC80に対して同相のクロックとなるように制御される。

【0115】ここに、固定遅延回路80のゲート回路数 $k1$ は、 $(TL/TA)L+n+p1-m1$ とされているので、固定遅延回路83の $n-p1$ 段目のゲート回路84-($p1+1$)から出力されるクロックC83Bは、固定遅延回路86の終段のゲート回路87-1から出力されるクロックC86Aよりも、クロック伝達回路75の遅延時間 $Tm1$ だけ位相の進んだクロックとなり、クロック伝達回路75から出力されるクロックQC1はメインクロックMCに対して 180° だけ位相の遅れたクロックとなる。

【0116】また、固定遅延回路95のゲート回路数 $k2-k1$ は、 $(TL/TA)L+n+p2-m2-k1$ とされているので、固定遅延回路95から出力されるクロックC95は、固定遅延回路80の遅延時間 $Tk1$ と、クロック伝達回路77の遅延時間 $Tm2$ とを合計した遅延時間 $Tk1+Tm2$ だけ位相の進んだクロックとなり、クロック伝達回路77から出力されるクロックQC2はメインクロックMCに対して 270° 位相の遅れたクロックとなる。

【0117】したがって、本発明の第4実施形態によれば、メインクロックMCを遅延してなる、メインクロックMCに対して 180° 位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックQC2を必要とする回路74に対して、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロックMCを遅延してなる、メインクロックMCに対して 180° 位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックQC2を供給することができる。

【0118】第5実施形態・図11、図12

図11は本発明の第5実施形態の要部を示す回路図である。図11中、98はメインクロックMCが入力されるメインクロック入力端子、99はメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックMCAが入力されるクロック入力端子。

【0119】また、100はメインクロックMCを遅延してなる、メインクロックMCに対して 180° 位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックQC2を必要とする回路である。

【0120】また、101はクロックQC1、QC2を必要とする回路100にクロックQC1を供給するクロック伝達回路であり、102-1、102-2、・・・102-m1は遅延時間をTAとするゲート回路（例え

ば、CMOSインバータ）である。

【0121】また、103はクロックQC1、QC2を必要とする回路100にクロックQC2を供給するクロック伝達回路であり、104-1、104-2、・・・104-m2は遅延時間をTAとするゲート回路（例えば、CMOSインバータ）である。

【0122】また、106はメインクロックMCを遅延させる、遅延時間をTLとするゲート回路をL段接続してなる、例えば、図2又は図3に示すように構成される可変遅延回路である。

【0123】また、107は可変遅延回路106から出力されるクロックC106を遅延させる固定遅延回路であり、108-1、108-2、・・・108-nは遅延時間をTAとするゲート回路（例えば、CMOSインバータ）である。

【0124】また、109は固定遅延回路107から出力されるクロックC107を遅延させる、可変遅延回路106と同一の回路構成とされた可変遅延回路である。

【0125】また、110は可変遅延回路109から出力されるクロックC109を遅延させる、固定遅延回路107と同一回路構成とされた固定遅延回路であり、111-1、111-2、・・・111-m1、111-($m1+1$)、・・・111-nは遅延時間をTAとするゲート回路である。

【0126】また、112は固定遅延回路110の終段のゲート回路111-1から出力されるクロックC110Aを遅延させる、可変遅延回路106と同一の回路構成とされた可変遅延回路である。

【0127】また、113は可変遅延回路112から出力されるクロックC112を遅延させる、固定遅延回路107と同一の回路構成とされた固定遅延回路であり、114-1、114-2、・・・114-m2、114-($m2+1$)、・・・114-nは遅延時間をTAとするゲート回路である。

【0128】このように、本発明の第5実施形態においては、可変遅延回路106及び固定遅延回路107からなるユニット遅延回路と、可変遅延回路109及び固定遅延回路110からなるユニット遅延回路と、可変遅延回路112及び固定遅延回路113からなるユニット遅延回路とで、メインクロックMCを遅延する遅延回路が構成されている。

【0129】また、115はクロックMCAの位相と固定遅延回路113の終段のゲート回路114-1から出力されるクロックC113Aの位相とを比較し、可変遅延回路106、109、112に対して遅延時間制御電圧VC、VCZを供給し、固定遅延回路113の終段のゲート回路114-1から出力されるクロックC113Aの位相がクロックMCAの位相に一致するように可変遅延回路106、109、112の遅延時間を制御する位相比較器(PC)である。

10

20

30

40

50

【0130】この例では、可変遅延回路106と、固定遅延回路107と、可変遅延回路109と、固定遅延回路110と、可変遅延回路112と、固定遅延回路113と、位相比較器115とで、遅延同期ループ回路が構成されている。

【0131】また、固定遅延回路110の $n-m1$ 段目のゲート回路111- $(m1+1)$ の出力端は、クロック伝達回路101の初段のゲート回路102- $m1$ の入力端に接続され、固定遅延回路110の $n-m1$ 段目のゲート回路111- $(m1+1)$ から出力されるクロックC110Bがクロック伝達回路101のゲート回路102- $m1$ に供給されるように構成されている。

【0132】また、固定遅延回路113の $n-m2$ 段目のゲート回路114- $(m2+1)$ の出力端は、クロック伝達回路103の初段のゲート回路104- $m2$ の入力端に接続され、固定遅延回路113の $n-m2$ 段目のゲート回路114- $(m2+1)$ から出力されるクロックC113Bがクロック伝達回路103のゲート回路104- $m2$ に供給されるように構成されている。

【0133】図12は本発明の第5実施形態の動作を示す波形図であり、図12(A)はメインクロックMC、図12(B)はクロックMCA、図12(C)は固定遅延回路107から出力されるクロックC107を示している。

【0134】また、図12(D)は固定遅延回路110の終段のゲート回路111-1から出力されるクロックC110A、図12(E)は固定遅延回路110の $n-m1$ 段目のゲート回路111- $(m1+1)$ から出力されるクロックC110B、図12(F)はクロック伝達回路101から出力されるクロックQC1を示している。

【0135】また、図12(G)は固定遅延回路113の終段のゲート回路114-1から出力されるクロックC113A、図12(H)は固定遅延回路113の $n-m2$ 段目のゲート回路114- $(m2+1)$ から出力されるクロックC113B、図12(I)はクロック伝達回路103から出力されるクロックQC2を示している。

【0136】本発明の第5実施形態においては、可変遅延回路106、109、112はそれぞれ同一の回路構成とされ、固定遅延回路107、110、112もそれぞれ同一の回路構成とされている。

【0137】したがって、固定遅延回路107から出力されるクロックC107、固定遅延回路110の終段のゲート回路111-1から出力されるクロックC110A、固定遅延回路113の終段のゲート回路114-1から出力されるクロックC113Aは、それぞれ、メインクロックMCに対して 90° 、 180° 、 270° 位相の遅れたクロックとなるように制御される。

【0138】この結果、固定遅延回路110の $n-m1$

段目のゲート回路111- $(m1+1)$ から出力されるクロックC110Bは、固定遅延回路110の終段のゲート回路111-1から出力されるクロックC110Aよりもゲート回路111- $m1 \sim 111-1$ の合計遅延時間 $Tm1$ だけ位相の進んだクロックとなる。

【0139】ここに、クロック伝達回路101のゲート回路102- $m1 \sim 102-1$ の段数は $m1$ 段であり、固定遅延回路110のゲート回路111- $m1 \sim 111-1$ の段数も $m1$ 段であるから、クロック伝達回路101から出力されるクロックQC1はメインクロックMCに対して 180° 位相の遅れたクロックとなる。

【0140】また、固定遅延回路113の $n-m2$ 段目のゲート回路114- $(m2+1)$ から出力されるクロックC113Bは、固定遅延回路113の終段のゲート回路114-1から出力されるクロックC113Aよりもゲート回路114- $m2 \sim 114-1$ の合計遅延時間 $Tm2$ だけ位相の進んだクロックとなる。

【0141】ここに、クロック伝達回路103のゲート回路104- $m2 \sim 104-1$ の段数は $m2$ 段であり、固定遅延回路113のゲート回路114- $m2 \sim 114-1$ の段数も $m2$ 段であるから、クロック伝達回路103から出力されるクロックQC2はメインクロックMCに対して 270° 位相の遅れたクロックとなる。

【0142】したがって、本発明の第5実施形態によれば、メインクロックMCを遅延してなる、メインクロックMCに対して 180° 位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックQC2を必要とする回路100に対して、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロックMCを遅延してなる、メインクロックMCに対して 180° 位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックQC2を供給することができる。

【0143】第6実施形態・図13、図14

図13は本発明の第6実施形態の要部を示す回路図である。図13中、117はメインクロックMCが入力されるメインクロック入力端子、118はメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックMCAが入力されるクロック入力端子である。

【0144】また、119はメインクロックMCを遅延してなる、メインクロックMCに対して 180° 位相の遅れたクロックQC1及びメインクロックMCを遅延してなる、メインクロックMCに対して 270° 位相の遅れたクロックQC2を必要とする回路である。

【0145】また、120はクロックQC1、QC2を必要とする回路119にクロックQC1を供給するクロック伝達回路であり、121-1、121-2、・・・121- $m1$ は遅延時間をTAとするゲート回路(例え

10

20

30

40

50

ば、CMOSインバータ)である。

【0146】また、122はクロックQC1、QC2を必要とする回路119にクロックQC2を供給するクロック伝達回路であり、123-1、123-2、・・・123-m2は遅延時間をTAとするゲート回路(例えば、CMOSインバータ)である。

【0147】また、125はメインクロックMCを遅延させる、遅延時間をTLとするゲート回路をL段接続してなる、例えば、図2又は図3に示すように構成される可変遅延回路である。

【0148】また、126は可変遅延回路125から出力されるクロックC125を遅延させる固定遅延回路であり、127-1、127-2、・・・127-p1、127-(p1+1)、・・・127-nは遅延時間をTAとするゲート回路(例えば、CMOSインバータ)である。

【0149】また、128は固定遅延回路126の終段のゲート回路127-1から出力されるクロックC126Aを遅延させる、可変遅延回路125と同一の回路構成とされた可変遅延回路である。

【0150】また、129は可変遅延回路128から出力されるクロックC128を遅延させる、固定遅延回路126と同一の回路構成とされた固定遅延回路であり、130-1、130-2、・・・130-p2、130-(p2+1)、・・・130-nは遅延時間をTAとするゲート回路である。

【0151】また、131は固定遅延回路129の終段のゲート回路130-1から出力されるクロックC129Aを遅延させる、可変遅延回路125と同一の回路構成とされた可変遅延回路である。

【0152】また、132は可変遅延回路131から出力されるクロックC131を遅延させる、固定遅延回路126と同一の回路構成とされた固定遅延回路であり、133-1、133-2、・・・133-nは遅延時間をTAとするゲート回路である。

【0153】このように、本発明の第6実施形態においては、可変遅延回路125及び固定遅延回路126からなるユニット遅延回路と、可変遅延回路128及び固定遅延回路129からなるユニット遅延回路と、可変遅延回路131及び固定遅延回路132からなるユニット遅延回路とで、メインクロックMCを遅延する遅延回路が構成されている。

【0154】また、134はクロックMCAの位相と固定遅延回路132から出力されるクロックC132の位相とを比較し、可変遅延回路125、128、131に遅延時間制御電圧VC、VCZを供給して、固定遅延回路132から出力されるクロックC132の位相がクロックMCAの位相に一致するように可変遅延回路125、128、131を制御する位相比較器(PC)である。

【0155】この例では、可変遅延回路125と、固定遅延回路126と、可変遅延回路128と、固定遅延回路129と、可変遅延回路131と、固定遅延回路132と、位相比較器134とで、遅延同期ループ回路が構成されている。

【0156】また、135は固定遅延回路126のゲート回路127-(p1+1)の出力C126Bを遅延させる固定遅延回路であり、136-1、136-2、・・・136-k1は遅延時間をTAとするゲート回路である。但し、k1は、 $(TL/TA)L+n+p1-m$ 1である。

【0157】また、137は固定遅延回路129のゲート回路130-(p2+1)の出力C129Bを遅延させる固定遅延回路であり、138-1、138-2、・・・138-k2は遅延時間をTAとするゲート回路である。但し、k2は、 $(TL/TA)L+n+p2-m$ 2である。

【0158】また、固定遅延回路126のn-p1段目のゲート回路127-(p1+1)の出力端は固定遅延回路135の初段のゲート回路136-k1の入力端に接続され、固定遅延回路135の終段のゲート回路136-1の出力端はクロック伝達回路120の初段のゲート回路121-m1の入力端に接続されている。

【0159】また、固定遅延回路129のn-p2段目のゲート回路130-(p2+1)の出力端は固定遅延回路137の初段のゲート回路138-k2の入力端に接続され、固定遅延回路137の終段のゲート回路138-1の出力端はクロック伝達回路122の初段のゲート回路123-m2の入力端に接続されている。

【0160】図14は本発明の第6実施形態の動作を示す波形図であり、図14(A)はメインクロックMC、図14(B)はクロックMCAを示している。

【0161】また、図14(C)は固定遅延回路126の終段のゲート回路127-1から出力されるクロックC126A、図14(D)は固定遅延回路126のn-p1段目のゲート回路127-(p1+1)から出力されるクロックC126B、図14(E)は固定遅延回路135から出力されるクロックC135、図14(F)はクロック伝達回路120から出力されるクロックQC1を示している。

【0162】また、図14(G)は固定遅延回路129の終段のゲート回路130-1から出力されるクロックC129A、図14(H)は固定遅延回路129のn-p2段目のゲート回路130-(p2+1)から出力されるクロックC129B、図14(I)は固定遅延回路137から出力されるクロックC137、図14(J)はクロック伝達回路122から出力されるクロックQC2、図14(K)は固定遅延回路132から出力されるクロックC132を示している。

【0163】本発明の第6実施形態においては、可変遅

延回路 125、128、131 はそれぞれ同一の回路構成とされ、固定遅延回路 126、129、132 もそれぞれ同一の回路構成とされている。

【0164】したがって、固定遅延回路 126 の終段のゲート回路 127-1 から出力されるクロック C126A、固定遅延回路 129 の終段のゲート回路 130-1 から出力されるクロック C129A、固定遅延回路 132 から出力されるクロック C132 は、それぞれ、メインクロック MC に対して 90° 、 180° 、 270° だけ遅れたクロックとなるように制御される。

【0165】ここに、固定遅延回路 135 のゲート回路数 $k1$ は、 $(TL/TA)L+n+p1-m1$ とされているので、固定遅延回路 135 から出力されるクロック C135 は、固定遅延回路 129 の終段のゲート回路 130-1 から出力されるクロック C129A よりもクロック伝達回路 120 のゲート回路 121-m1 ~ 121-1 の合計遅延時間 $Tm1$ だけ位相の進んだクロックとなり、クロック伝達回路 120 から出力されるクロック QC1 はメインクロック MC に対して 180° 位相の遅れたクロックとなる。

【0166】また、固定遅延回路 137 のゲート回路数 $k2$ は、 $(TL/TA)L+n+p2-m2$ とされているので、固定遅延回路 137 から出力されるクロック C137 は、固定遅延回路 132 から出力されるクロック C132 よりもクロック伝達回路 122 のゲート回路 123-m2 ~ 123-1 の合計遅延時間 $Tm2$ だけ位相の進んだクロックとなり、クロック伝達回路 122 から出力されるクロック QC2 はメインクロック MC に対して 270° 位相の遅れたクロックとなる。

【0167】したがって、本発明の第 6 実施形態によれば、メインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を必要とする回路 119 に対して、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を供給することができる。

【0168】第 7 実施形態・図 15、図 16

図 15 は本発明の第 7 実施形態の要部を示す回路図である。図 15 中、140 はメインクロック MC が入力されるメインクロック入力端子、141 はメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック MCA が入力されるクロック入力端子である。

【0169】また、142 はメインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延し

てなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を必要とする回路である。

【0170】また、143 はクロック QC1、QC2 を必要とする回路 142 にクロック QC1 を供給するクロック伝達回路であり、144-1、144-2、 \dots 144-m1 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0171】また、145 はクロック QC1、QC2 を必要とする回路 142 にクロック QC2 を供給するクロック伝達回路であり、146-1、146-2、 \dots 146-m2 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0172】また、148 はメインクロック MC を遅延させる固定遅延回路であり、149-1、149-2、149-k1 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0173】また、150 はクロック MCA を遅延させる固定遅延回路であり、151-1、151-2、151-k1 は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0174】また、152 は固定遅延回路 148 から出力されるクロック C148 を遅延させる、遅延時間を TL とするゲート回路を L 段接続してなる、例えば、図 2 又は図 3 に示すように構成される可変遅延回路である。

【0175】また、153 は可変遅延回路 152 から出力されるクロック C152 を遅延させる固定遅延回路であり、154-1、154-2、 \dots 154-p1、154-(p1+1)、 \dots 154-n は遅延時間を TA とするゲート回路（例えば、CMOS インバータ）である。

【0176】また、155 は固定遅延回路 153 の終段のゲート回路 154-1 から出力されるクロック C153A を遅延させる、可変遅延回路 152 と同一の回路構成とされた可変遅延回路である。

【0177】また、156 は可変遅延回路 155 から出力されるクロック C155 を遅延させる、固定遅延回路 153 と同一の回路構成とされた固定遅延回路であり、157-1、157-2、 \dots 157-p2、157-(p2+1)、 \dots 157-n は遅延時間を TA とするゲート回路である。

【0178】また、158 は固定遅延回路 156 の終段のゲート回路 157-1 から出力されるクロック C156A を遅延させる、可変遅延回路 152 と同一の回路構成とされた可変遅延回路である。

【0179】また、159 は可変遅延回路 158 から出力されるクロック C158 を遅延させる、固定遅延回路 153 と同一の回路構成とされた固定遅延回路であり、160-1、160-2、 \dots 160-n は遅延時間を TA とするゲート回路である。

【0180】このように、本発明の第 7 実施形態におい

10

20

30

40

50

ては、固定遅延回路 148 と、可変遅延回路 152 及び固定遅延回路 153 からなるユニット遅延回路と、可変遅延回路 155 及び固定遅延回路 156 からなるユニット遅延回路と、可変遅延回路 158 及び固定遅延回路 159 からなるユニット遅延回路とで、メインクロック MC を遅延する遅延回路が構成されている。

【0181】また、161 は固定遅延回路 150 から出力されるクロック C150 の位相と固定遅延回路 159 から出力されるクロック C159 の位相とを比較し、可変遅延回路 152、155、158 に遅延時間制御電圧 VC、VCZ を供給して、固定遅延回路 159 から出力されるクロック C159 の位相が固定遅延回路 150 から出力されるクロック C150 の位相に一致するように可変遅延回路 152、155、158 を制御する位相比較器 (PC) である。

【0182】この例では、可変遅延回路 152 と、固定遅延回路 153 と、可変遅延回路 155 と、固定遅延回路 156 と、可変遅延回路 158 と、固定遅延回路 159 と、位相比較器 161 とで、遅延同期ループ回路が構成されている。

【0183】また、162 は固定遅延回路 156 の $n-p$ 2 段目のゲート回路 157- ($p2+1$) の出力 C156B を遅延させる固定遅延回路であり、163-1、163-2、... 163- ($k2-k1$) は遅延時間を TA とするゲート回路 (例えば、CMOS インバータ) である。但し、 $k1$ は $(TL/TA) L+n+p1-m1$ であり、 $k2$ は $(TL/TA) L+n+p2-m2$ である。

【0184】図 16 は本発明の第 7 実施形態の動作を示す波形図であり、図 16 (A) はメインクロック MC、図 16 (B) は固定遅延回路 148 から出力されるクロック C148、図 16 (C) はクロック MCA、図 16 (D) は固定遅延回路 150 から出力されるクロック C150 を示している。

【0185】また、図 16 (E) は固定遅延回路 153 の終段のゲート回路 154-1 から出力されるクロック C153A、図 16 (F) は固定遅延回路 153 の $n-p1$ 段目のゲート回路 154- ($p1+1$) から出力されるクロック C153B、図 16 (G) はクロック伝達回路 143 から出力される QC1 を示している。

【0186】また、図 16 (H) は固定遅延回路 156 の終段のゲート回路 157-1 から出力されるクロック C156A、図 16 (I) は固定遅延回路 156 の $n-p2$ 段目のゲート回路 152- ($p2+1$) から出力されるクロック C156B、図 16 (J) は固定遅延回路 162 から出力されるクロック C162、図 16 (K) はクロック伝達回路 145 から出力されるクロック QC2、図 16 (L) は固定遅延回路 159 から出力されるクロック C159 を示している。

【0187】本発明の第 7 実施形態においては、可変遅

延回路 152、155、158 はそれぞれ同一の回路構成とされ、固定遅延回路 153、156、159 もそれぞれ同一の回路構成とされている。

【0188】したがって、固定遅延回路 153 の終段のゲート回路 154-1 から出力されるクロック C153A、固定遅延回路 156 の終段のゲート回路 157-1 から出力されるクロック C156A、固定遅延回路 159 から出力されるクロック C159 は、それぞれ、固定遅延回路 148 から出力されるクロック C148 に対して 90° 、 180° 、 270° 位相の遅れたクロックとなるように制御される。

【0189】ここに、固定遅延回路 148 のゲート回路数 $k1$ は、 $(TL/TA) L+n+p1-m1$ とされているので、固定遅延回路 153 の $n-p1$ 段目のゲート回路 154- ($p1+1$) から出力されるクロック C153B は、固定遅延回路 156 の終段のゲート回路 157-1 から出力されるクロック C156A よりも、固定遅延回路 148 の遅延時間 $Tk1$ と、クロック伝達回路 143 遅延時間 $Tm1$ とを合計した遅延時間 $Tk1+Tm1$ だけ位相の進んだクロックとなり、クロック伝達回路 143 から出力されるクロック QC1 はメインクロック MC に対して 180° だけ位相の遅れたクロックとなる。

【0190】また、固定遅延回路 162 のゲート回路数 $k2-k1$ は、 $(TL/TA) L+n+p2-m2-k1$ とされているので、固定遅延回路 162 から出力されるクロック C162 は、固定遅延回路 159 から出力されるクロック C159 よりも、固定遅延回路 148 の遅延時間 $Tk1$ と、クロック伝達回路 145 の遅延時間 $Tm2$ とを合計した遅延時間 $Tk1+Tm2$ だけ位相の進んだクロックとなり、クロック伝達回路 145 から出力されるクロック QC2 はメインクロック MC に対して 270° 位相の遅れたクロックとなる。

【0191】したがって、本発明の第 7 実施形態によれば、メインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を必要とする回路 142 に対して、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロック MC を遅延してなる、メインクロック MC に対して 180° 位相の遅れたクロック QC1 及びメインクロック MC を遅延してなる、メインクロック MC に対して 270° 位相の遅れたクロック QC2 を供給することができる。

【0192】第 8 実施形態・図 17~図 35

図 17 は本発明の第 8 実施形態の要部を示す回路図である。図 17 中、165 はメインクロック MC が入力されるメインクロック入力端子、166 はメインクロック MC を遅延させる可変遅延回路、167 は可変遅延回路 166 から出力されるクロック C166 を遅延させる固定

遅延回路であり、これら可変遅延回路 166 及び固定遅延回路 167 は、図 18 に示すように構成されている。

【0193】図 18 中、168～173 は遅延時間を可変とする可変遅延インバータ、174、175 は遅延時間を固定とするインバータであり、可変遅延インバータ 168～173 は図 19 に示すように構成され、インバータ 174、175 は図 20 に示すように構成されている。

【0194】図 19 において、176 は VCC 電源線、177、178 は pMOS トランジスタ、179、180 は nMOS トランジスタであり、図 20 において、181 は VCC 電源線、182 は pMOS トランジスタ、183 は nMOS トランジスタである。

【0195】また、図 17 において、184 は固定遅延回路 167 から出力されるクロック C167 を遅延させる可変遅延回路、185 は可変遅延回路 184 から出力される C184 を遅延させる固定遅延回路である。

【0196】また、186 は固定遅延回路 185 から出力されるクロック C185 を遅延させる可変遅延回路、187 は可変遅延回路 186 から出力される C186 を遅延させる固定遅延回路である。

【0197】図 21 は可変遅延回路 184、186 及び固定遅延回路 185、187 の構成を示す回路図であり、図 21 中、188～191 は図 19 に示すように構成される可変遅延インバータ、192～199 は図 20 に示すように構成されるインバータである。

【0198】また、図 17 において、200 は固定遅延回路 187 から出力されるクロック C187 を遅延させる可変遅延回路、201 は可変遅延回路 200 から出力される C200 を遅延させる固定遅延回路である。

【0199】また、202 は固定遅延回路 201 から出力されるクロック C201 を遅延させる可変遅延回路、203 は可変遅延回路 202 から出力される C202 を遅延させる固定遅延回路である。

【0200】図 22 は可変遅延回路 200、202 及び固定遅延回路 201、203 の構成を示す回路図であり、図 22 中、204～207 は図 19 に示すように構成される可変遅延インバータ、208～215 は図 20 に示すように構成されるインバータである。

【0201】また、図 17 において、216 は固定遅延回路 203 から出力されるクロック C203 を遅延させる可変遅延回路、217 は可変遅延回路 216 から出力される C216 を遅延させる固定遅延回路である。

【0202】また、218 は固定遅延回路 217 から出力されるクロック C217 を遅延させる可変遅延回路、219 は可変遅延回路 218 から出力される C218 を遅延させる固定遅延回路である。

【0203】図 23 は可変遅延回路 216、218 及び固定遅延回路 217、219 の構成を示す回路図であり、図 23 中、220～223 は図 19 に示すように構

成される可変遅延インバータ、224～231 は図 20 に示すように構成されるインバータである。

【0204】また、図 17 において、232 は固定遅延回路 219 から出力されるクロック C219 を遅延させる可変遅延回路、233 は可変遅延回路 232 から出力される C232 を遅延させる固定遅延回路である。

【0205】また、234 は固定遅延回路 233 から出力されるクロック C233 を遅延させる可変遅延回路、235 は可変遅延回路 234 から出力される C234 を遅延させる固定遅延回路である。

【0206】図 24 は可変遅延回路 232、234 及び固定遅延回路 233、235 の構成を示す回路図であり、図 24 中、236～239 は図 19 に示すように構成される可変遅延インバータ、240～247 は図 20 に示すように構成されるインバータである。

【0207】このように、本発明の第 8 実施形態においては、可変遅延回路 166 及び固定遅延回路 167 からなるユニット遅延回路と、可変遅延回路 184 及び固定遅延回路 185 からなるユニット遅延回路と、可変遅延回路 186 及び固定遅延回路 187 からなるユニット遅延回路と、可変遅延回路 200 及び固定遅延回路 201 からなるユニット遅延回路と、可変遅延回路 202 及び固定遅延回路 203 からなるユニット遅延回路と、可変遅延回路 216 及び固定遅延回路 217 からなるユニット遅延回路と、可変遅延回路 218 及び固定遅延回路 219 からなるユニット遅延回路と、可変遅延回路 232 及び固定遅延回路 233 からなるユニット遅延回路と、可変遅延回路 234 及び固定遅延回路 235 からなるユニット遅延回路とで、メインクロック MC を遅延する遅延回路が構成されている。

【0208】また、図 17 において、249 は固定遅延回路 167 から出力されるクロック C167 を遅延して後述する位相比較器兼チャージポンプ回路を駆動するクロックを生成する固定遅延回路である。

【0209】また、250 は固定遅延回路 187 から出力されるクロック C187 を遅延して後述する位相比較器兼チャージポンプ回路を駆動するクロックを生成する固定遅延回路である。

【0210】また、251 は固定遅延回路 219 から出力されるクロック C219 を遅延して後述する位相比較器兼チャージポンプ回路を駆動するクロックを生成する固定遅延回路である。

【0211】また、252 は固定遅延回路 235 から出力されるクロック C235 を遅延して後述する位相比較器兼チャージポンプ回路を駆動するクロックを生成する固定遅延回路である。

【0212】図 25 は固定遅延回路 249～252 の構成を示す回路図であり、図 25 中、254～273 はインバータである。

【0213】また、図 17 において、275 は後述する

位相比較器兼チャージポンプ回路の起動を制御するスタート回路であり、図26に示すように構成されており、図26中、277はパワーダウン信号PDZを反転するインバータ、278はインバータ277の出力を反転するインバータである。

【0214】また、279はメインクロックMCによりオン、オフが制御されるスイッチ素子をなすpMOSトランジスタ、280はラッチ回路であり、281はインバータ、282はNOR回路である。

【0215】また、283はメインクロックMCによりオン、オフが制御されるスイッチ素子をなすnMOSトランジスタ、284はラッチ回路であり、285はインバータ、286はNAND回路である。

【0216】また、287はメインクロックMCによりオン、オフが制御されるスイッチ素子をなすpMOSトランジスタ、288はラッチ回路であり、289はインバータ、290はNOR回路である。

【0217】また、291はメインクロックMCによりオン、オフが制御されるスイッチ素子をなすnMOSトランジスタ、292はラッチ回路であり、293はインバータ、294はNAND回路である。

【0218】また、295はラッチ回路292の出力を反転するインバータ、296はインバータ295の出力を反転するインバータである。

【0219】また、図17において、298は固定遅延回路167から出力されるクロックC167と固定遅延回路235から出力されるクロックC235との位相を比較し、固定遅延回路235から出力されるクロックC235が固定遅延回路167から出力されるクロックC167に同期するように、可変遅延回路の制御電圧を与えるポンピング動作を行う位相比較器兼チャージポンプ回路である。

【0220】また、299は位相比較器兼チャージポンプ回路298のポンピング動作を受けて遅延時間制御電圧VCを生成する遅延時間制御電圧生成平滑回路、300は位相比較器兼チャージポンプ回路298のポンピング動作を受けて遅延時間制御電圧VCZを生成する遅延時間制御電圧生成平滑回路である。

【0221】図27は位相比較器兼チャージポンプ回路298及び遅延時間制御電圧生成平滑回路299、300に構成を示す回路図である。

【0222】図27中、位相比較器兼チャージポンプ回路298において、302はスタート回路275のインバータ277の出力C277によりオン、オフが制御されるpMOSトランジスタ、303は同じくインバータ277の出力C277によりオン、オフが制御されるnMOSトランジスタ、304はスタート回路275のインバータ296の出力C296によりオン、オフが制御されるnMOSトランジスタである。

【0223】また、305はスタート回路275のイン

バータ295の出力C295によりオン、オフが制御されるpMOSトランジスタ、306はスタート回路275のインバータ278の出力C278によりオン、オフが制御されるpMOSトランジスタ、307は同じくインバータ278の出力C278によりオン、オフが制御されるnMOSトランジスタである。

【0224】また、308は固定遅延回路251のインバータ268から出力されるクロックCP3によりオン、オフが制御されるpMOSトランジスタ、309は固定遅延回路250のインバータ262から出力されるクロック/CP1によりオン、オフが制御されるインバータである。

【0225】また、310は固定遅延回路249のインバータ258から出力されるクロック/CI5と固定遅延回路252のインバータ270から出力されるクロックCO2とをNAND処理するNAND回路、311はNAND回路310の出力によりオン、オフが制御されるpMOSトランジスタである。

【0226】また、312は固定遅延回路252のインバータ272から出力されるクロックCO4と固定遅延回路249のインバータ254から出力されるクロック/CI1とをNOR処理するNOR回路、313はNOR回路312の出力によりオン、オフが制御されるnMOSトランジスタである。

【0227】また、314は固定遅延回路250のインバータ263から出力されるクロックCP1によりオン、オフが制御されるnMOSトランジスタ、315は固定遅延回路251のインバータ267から出力されるクロック/CP3によりオン、オフが制御されるnMOSトランジスタである。

【0228】また、316は固定遅延回路251のインバータ268から出力されるクロックCP3によりオン、オフが制御されるpMOSトランジスタ、317は固定遅延回路250のインバータ262から出力されるクロック/CP1によりオン、オフが制御されるインバータである。

【0229】また、318は固定遅延回路252のインバータ273から出力されるクロック/CO5と固定遅延回路249のインバータ255から出力されるクロックCI2とをNAND処理するNAND回路、319はNAND回路318の出力によりオン、オフが制御されるpMOSトランジスタである。

【0230】また、320は固定遅延回路249のインバータ257から出力されるクロックCI4と固定遅延回路252のインバータ269から出力されるクロック/CO1とをNOR処理するNOR回路、321はNOR回路320の出力によりオン、オフが制御されるnMOSトランジスタである。

【0231】また、322は固定遅延回路250のインバータ263から出力されるクロックCP1によりオ

ン、オフが制御される nMOS トランジスタ、323 は固定遅延回路 251 のインバータ 267 から出力されるクロック / CP3 によりオン、オフが制御される nMOS トランジスタである。

【0232】また、遅延時間制御電圧生成平滑回路 299 において、324 は nMOS トランジスタからなるキャパシタ、遅延時間制御電圧生成平滑回路 300 において、325 は pMOS トランジスタからなるキャパシタである。

【0233】即ち、本発明の第 8 実施形態においては、pMOS トランジスタ 302、308、309、311 と、nMOS トランジスタ 303、304、313、314、315 と、NAND 回路 310 と、NOR 回路 312 とで、固定遅延回路 167 から出力されるクロック C167 と、固定遅延回路 235 から出力されるクロック C235 との位相を比較し、キャパシタ 324 に対してポンピング動作を行う第 1 の位相比較器兼チャージポンプ回路が構成されている。

【0234】また、pMOS トランジスタ 305、316、317、319 と、nMOS トランジスタ 306、307、321、322、323 と、NAND 回路 318 と、NOR 回路 320 とで、固定遅延回路 167 から出力されるクロック C167 と、固定遅延回路 235 から出力されるクロック C235 との位相を比較し、キャパシタ 325 に対してポンピング動作を行う第 2 の位相比較器兼チャージポンプ回路が構成されている。

【0235】なお、第 1 の位相比較器兼チャージポンプ回路においては、NAND 回路 310 及び NOR 回路 312 が固定遅延回路 167 から出力されるクロック C167 と固定遅延回路 235 から出力されるクロック C235 との位相を比較する位相比較器の主たる機能を果たし、pMOS トランジスタ 302 及び nMOS トランジスタ 303 はパワーダウン期間の電流をカットする機能を果たし、nMOS トランジスタ 304 はスタート機能を果たし、pMOS トランジスタ 308、309 及び nMOS トランジスタ 314、315 は位相ずれの激しい場合の引き込み動作をつかさどっている。

【0236】また、第 2 の位相比較器兼チャージポンプ回路においては、NAND 回路 318 及び NOR 回路 320 が固定遅延回路 167 から出力されるクロック C167 と固定遅延回路 235 から出力されるクロック C235 との位相を比較する位相比較器の主たる機能を果たし、pMOS トランジスタ 306 及び nMOS トランジスタ 307 はパワーダウン期間の電流をカットする機能を果たし、pMOS トランジスタ 305 はスタート機能を果たし、pMOS トランジスタ 316、317 及び nMOS トランジスタ 322、323 は位相ずれの激しい場合の引き込み動作をつかさどっている。

【0237】本発明の第 8 実施形態においては、スタート回路 275 においては、位相比較器兼チャージポンプ

回路 298 を起動させる前には、パワーダウン信号 PDZ は、L レベルとされている。

【0238】この結果、スタート回路 275 においては、インバータ 277 の出力 C277 = H レベル、インバータ 278 の出力 C278 = L レベル、インバータ 295 の出力 C295 = H レベル、インバータ 296 の出力 C296 = L レベルとなる。

【0239】この結果、位相比較器兼チャージポンプ回路 298 においては、pMOS トランジスタ 302 = OFF、nMOS トランジスタ 303 = ON、nMOS トランジスタ 304 = OFF、pMOS トランジスタ 305 = OFF、pMOS トランジスタ 306 = ON、nMOS トランジスタ 307 = OFF となる。

【0240】したがって、この場合には、nMOS キャパシタ 324 及び pMOS キャパシタ 325 は、ノン・チャージ状態にあり、遅延時間制御電圧 VC = 0

[V]、遅延時間制御電圧 VCZ = VCC となっている。

【0241】この状態から、パワーダウン信号 PDZ = H レベルとされると、スタート回路 275 においては、インバータ 277 の出力 C277 = L レベル、インバータ 278 の出力 C278 = H レベルとなる。

【0242】この結果、位相比較器兼チャージポンプ回路 298 においては、pMOS トランジスタ 302 = ON、nMOS トランジスタ 303 = OFF、pMOS トランジスタ 306 = OFF、nMOS トランジスタ 307 = ON となり、nMOS キャパシタ 324 及び pMOS キャパシタ 325 は、充電のみが行われ、急速に充電される。

【0243】その後、メインクロック MC の 2 周期分が経過すると、インバータ 295 の出力 C295 = L レベル、インバータ 296 の出力 C296 = H レベルとなる。

【0244】この結果、位相比較器兼チャージポンプ回路 298 においては、nMOS トランジスタ 304 = ON、pMOS トランジスタ 305 = ON となり、位相比較器兼チャージポンプ 298 は、定常動作を行う状態とされる。

【0245】図 28 ~ 図 35 は位相比較器兼チャージポンプ回路 298 の動作を示す波形図であり、図 28、図 29 は固定遅延回路 235 から出力されるクロック C235 が固定遅延回路 167 から出力されるクロック C167 に同期している場合を示している。

【0246】この場合、図 28 に示すように、固定遅延回路 249 のインバータ 258 から出力されるクロック / C15 と固定遅延回路 252 のインバータ 270 から出力されるクロック C02 とが H レベルで重なる期間はゲート回路 3 段分の遅延時間となるので、NAND 回路 310 からは pMOS トランジスタ 311 をオン状態とさせるほどの電圧は出力されない。

10

20

30

40

50

【0247】また、図28に示すように、固定遅延回路252のインバータ272から出力されるクロックCO4と固定遅延回路249のインバータ254から出力されるクロック／CI1とがLレベルで重なる期間はゲート回路3段分の遅延時間となるので、NOR回路312からはnMOSトランジスタ313をオン状態とさせるほどの電圧は出力されない。

【0248】また、図29に示すように、固定遅延回路252のインバータ273から出力されるクロック／CO5と固定遅延回路249のインバータ255から出力されるクロックCI2とがHレベルで重なる期間はゲート回路3段分の遅延時間となるので、NAND回路318からはpMOSトランジスタ319をオン状態とさせるほどの電圧は出力されない。

【0249】また、図29に示すように、固定遅延回路249のインバータ257から出力されるクロックCI4と固定遅延回路252のインバータ269から出力されるクロック／CO1とがLレベルで重なる期間はゲート回路3段分の遅延時間となるので、NOR回路320からはnMOSトランジスタ321をオン状態とさせるほどの電圧は出力されない。

【0250】また、図30、図31は固定遅延回路235から出力されるクロックC235の位相が固定遅延回路167から出力されるクロックC167の位相よりも進んでいる場合を示している。

【0251】この場合、図30に示すように、固定遅延回路249のインバータ258から出力されるクロック／CI5と固定遅延回路252のインバータ270から出力されるクロックCO2とがHレベルで重なる期間は、ゲート回路3段分の遅延時間以上となるので、NAND回路310からはpMOSトランジスタ311をパルスの的にオン状態とさせる電圧がパルス状に出力され、pMOSトランジスタ311がパルスの的にオン状態とされると共に、この場合、pMOSトランジスタ308、309はオン状態とされているので、pMOSトランジスタ302、308、309、311によるプルアップ動作が行われ、遅延時間制御電圧VCの電圧は上昇する。

【0252】なお、図30に示す期間T1においては、nMOSトランジスタ313はオン状態となるが、nMOSトランジスタ314、315はオフ状態を維持するので、nMOSトランジスタ313～315、304によるプルダウン動作が行われることはない。

【0253】また、図31に示すように、固定遅延回路249のインバータ257から出力されるクロックCI4と固定遅延回路252のインバータ269から出力されるクロック／CO1とがLレベルで重なる期間は、ゲート回路3段分の遅延時間以上となるので、NOR回路320からはnMOSトランジスタ321をパルスの的にオン状態とさせる電圧がパルス状に出力され、nMOS

トランジスタ321がパルスの的にオン状態とされると共に、この場合、nMOSトランジスタ322、323はオン状態とされているので、nMOSトランジスタ321～323、307によるプルダウン動作が行われ、遅延時間制御電圧VCZの電圧が下降する。

【0254】なお、図31に示す期間T2においては、pMOSトランジスタ319はオン状態となるが、pMOSトランジスタ316、317はオフ状態を維持するので、pMOSトランジスタ305、316、317、319によるプルアップ動作が行われることはない。

【0255】したがって、固定遅延回路235から出力されるクロックC235の位相が固定遅延回路167から出力されるクロックC167の位相よりも進んでいる場合には、可変遅延回路184、186、200、202、216、218、232、234の遅延時間は長くなるように制御され、固定遅延回路235から出力されるクロックC235が固定遅延回路167から出力されるクロックC167に同期するように遅延制御が行われる。

【0256】また、図32、図33は固定遅延回路235から出力されるクロックC235の位相が固定遅延回路167から出力されるクロックC167の位相よりも遅れている場合を示している。

【0257】この場合、図32に示すように、固定遅延回路252のインバータ272から出力されるクロックCO4と固定遅延回路249のインバータ254から出力されるクロック／CI1とがLレベルで重なる期間は、ゲート回路3段分の遅延時間以上となるので、NOR回路312からnMOSトランジスタ313をパルスの的にオン状態とさせる電圧がパルス状に出力され、nMOSトランジスタ313がパルスの的にオン状態とされると共に、この場合、nMOSトランジスタ314、315はオン状態とされているので、nMOSトランジスタ313～315、304によるプルダウン動作が行われ、遅延時間制御電圧VCの電圧は下降する。

【0258】なお、図32に示す期間T3においては、pMOSトランジスタ311はオン状態となるが、pMOSトランジスタ308、309はオフ状態を維持するので、pMOSトランジスタ302、308、309、311によるプルアップ動作が行われることはない。

【0259】また、図33に示すように、固定遅延回路252のインバータ273から出力されるクロック／CO5と固定遅延回路249のインバータ255から出力されるクロックCI2とがHレベルで重なる期間はゲート回路3段分の遅延時間以上となるので、NAND回路318からpMOSトランジスタ319をパルスの的にオン状態とさせる電圧がパルス状に出力され、pMOSトランジスタ319がパルスの的にオン状態とされると共に、この場合、pMOSトランジスタ316、317はオン状態とされているので、pMOSトランジスタ30

5、316、317、319によるプルアップ動作が行われ、遅延時間制御電圧VCZの電圧は上昇する。

【0260】なお、図33に示す期間T4においては、nMOSトランジスタ321はオン状態となるが、nMOSトランジスタ322、323はオフ状態を維持するので、nMOSトランジスタ321～323、307によるプルダウン動作が行われることはない。

【0261】したがって、固定遅延回路235から出力されるクロックC235の位相が固定遅延回路167から出力されるクロックC167の位相よりも遅れている場合には、可変遅延回路184、186、200、202、216、218、232、234の遅延時間は短くなるように制御され、固定遅延回路235から出力されるクロックC235が固定遅延回路167から出力されるクロックC167に同期するように遅延制御が行われる。

【0262】また、図34、図35は固定遅延回路235から出力されるクロックC235の位相が固定遅延回路167から出力されるクロックC167の位相よりも180°遅れている場合を示している。

【0263】この場合、図34の期間T5においては、nMOSトランジスタ313～315が全てオン状態となるので、nMOSトランジスタ313～315、304によるプルダウン動作が期間T5（長時間）にわたって行われ、遅延時間制御電圧VCの電圧は急速に下降する。

【0264】また、図35の期間T6においては、pMOSトランジスタ316、317、319が全てオン状態となるので、pMOSトランジスタ305、316、317、319によるプルアップ動作が期間T6（長時間）にわたって行われ、遅延時間制御電圧VCZの電圧は急速に上昇する。

【0265】なお、この場合には、pMOSトランジスタ308、309、311が全てオン状態となることなく、nMOSトランジスタ321～323が全てオン状態となる状態は回避されている。

【0266】したがって、固定遅延回路235から出力されるクロックC235の位相が固定遅延回路167から出力されるクロックC167の位相よりも180°遅れている場合には、可変遅延回路184、186、200、202、216、218、232、234の遅延時間が急速に短くなるように制御され、固定遅延回路235から出力されるクロックC235の位相が固定遅延回路167から出力されるクロックC167の位相に急速に近づくように遅延制御が行われる。

【0267】本発明の第8実施形態においては、8個の可変遅延回路184、186、200、202、216、218、232、234はそれぞれ同一の回路構成とされ、8個の固定遅延回路185、187、201、203、217、219、233、235もそれぞれ同

一の回路構成とされており、しかも、固定遅延回路235から出力されるクロックC235が固定遅延回路167から出力されるクロックC167に同期するように制御される。

【0268】したがって、固定遅延回路185から出力されるクロックC185は、固定遅延回路167から出力されるクロックC167に対して45°位相の遅れたクロックとなり、固定遅延回路187から出力されるクロックC187は、固定遅延回路167から出力されるクロックC167に対して90°位相の遅れたクロックとなる。

【0269】また、固定遅延回路201から出力されるクロックC201は、固定遅延回路167から出力されるクロックC167に対して135°位相の遅れたクロックとなり、固定遅延回路203から出力されるクロックC203は、固定遅延回路167から出力されるクロックC167に対して180°位相の遅れたクロックとなる。

【0270】また、固定遅延回路217から出力されるクロックC217は、固定遅延回路167から出力されるクロックC167に対して225°位相の遅れたクロックとなり、固定遅延回路219から出力されるクロックC219は、固定遅延回路167から出力されるクロックC167に対して270°位相の遅れたクロックとなる。

【0271】また、固定遅延回路233から出力されるクロックC233は、固定遅延回路167から出力されるクロックC167に対して315°位相の遅れたクロックとなり、固定遅延回路235から出力されるクロックC235は、固定遅延回路167から出力されるクロックC167に対して360°位相の遅れたクロックとなる。

【0272】この結果、可変遅延回路184、186、200、202、216、218、232、234から出力されるクロック、又は、固定遅延回路185、187、201、203、217、219、233、235を構成するゲート回路のうち、終段のゲート回路以外の所定のゲート回路の出力端に得られるクロックをクロックを必要とする内部回路に供給する場合には、データ伝達回路が存在する場合においても、プロセス条件や温度変化や電源電圧の値に関わらず、メインクロックMCに対して、0°、45°、90°、135°、180°、225°、270°、315°の位相差を有するクロックを内部回路に供給することができる。

【0273】例えば、固定遅延回路185の初段のインバータ192から出力されるクロックを、ゲート回路を3段接続してなるデータ伝達回路を介してクロックを必要とする回路に供給する場合には、プロセス条件や温度変化や電源電圧の値に関わらず、固定遅延回路167から出力されるクロックC167に対して45°の位相差

を有するクロックを内部回路に供給することができる。

【0274】このように、本発明の第8実施形態によれば、メインクロックを遅延してなるクロックを必要とする回路に対して、プロセス条件や温度変化や電源電圧の値に関わらず、位相精度の高いクロックを供給することができる。

【0275】

【発明の効果】以上のように、本発明によれば、所定のクロックを遅延してなるクロックを供給すべき回路に対して、プロセス条件や温度変化や電源電圧の値に関わらず、位相精度の高いクロックを供給することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の要部を示す回路図である。

【図2】本発明の第1実施形態が備える可変遅延回路の第1構成例を示す回路図である。

【図3】本発明の第1実施形態が備える可変遅延回路の第2構成例を示す回路図である。

【図4】本発明の第1実施形態の動作を示す波形図である。

【図5】本発明の第2実施形態の要部を示す回路図である。

【図6】本発明の第2実施形態の動作を示す波形図である。

【図7】本発明の第3実施形態の要部を示す回路図である。

【図8】本発明の第3実施形態の動作を示す波形図である。

【図9】本発明の第4実施形態の要部を示す回路図である。

【図10】本発明の第4実施形態の動作を示す波形図である。

【図11】本発明の第5実施形態の要部を示す回路図である。

【図12】本発明の第5実施形態の動作を示す波形図である。

【図13】本発明の第6実施形態の要部を示す回路図である。

【図14】本発明の第6実施形態の動作を示す波形図である。

【図15】本発明の第7実施形態の要部を示す回路図である。

【図16】本発明の第7実施形態の動作を示す波形図である。

【図17】本発明の第8実施形態の要部を示す回路図である。

【図18】本発明の第8実施形態が備える可変遅延回路及び固定遅延回路の構成を示す回路図である。

【図19】本発明の第8実施形態が備える可変遅延回路を構成する可変遅延インバータの構成を示す回路図である。

【図20】本発明の第8実施形態が備える固定遅延回路を構成するインバータの構成を示す回路図である。

10 【図21】本発明の第8実施形態が備える可変遅延回路及び固定遅延回路の構成を示す回路図である。

【図22】本発明の第8実施形態が備える可変遅延回路及び固定遅延回路の構成を示す回路図である。

【図23】本発明の第8実施形態が備える可変遅延回路及び固定遅延回路の構成する可変遅延インバータの構成を示す回路図である。

【図24】本発明の第8実施形態が備える可変遅延回路及び固定遅延回路の構成を示す回路図である。

20 【図25】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路を駆動するクロックを生成する固定遅延回路の構成を示す回路図である。

【図26】本発明の第8実施形態が備えるスタート回路の構成を示す回路図である。

【図27】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路及び遅延時間制御電圧生成平滑回路の構成を示す回路図である。

【図28】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

30 【図29】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

【図30】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

【図31】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

【図32】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

【図33】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

40 【図34】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

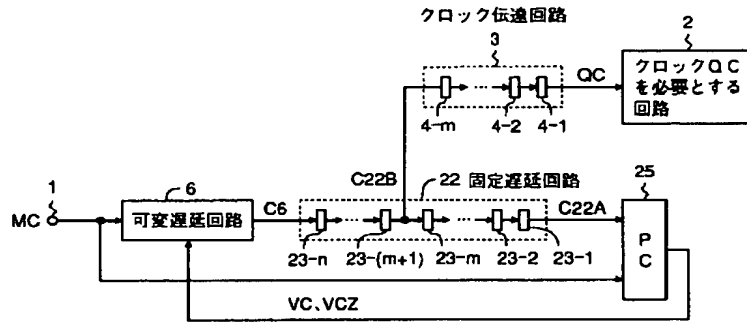
【図35】本発明の第8実施形態が備える位相比較器兼チャージポンプ回路の動作を示す波形図である。

【符号の説明】

MC メインクロック

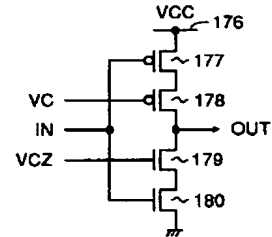
【図 1】

本発明の第 1 実施形態の要部を示す回路図



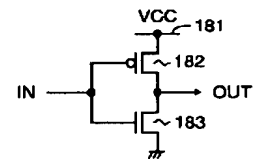
【図 19】

可変遅延インバータ 168 ~ 172 の構成を示す回路図



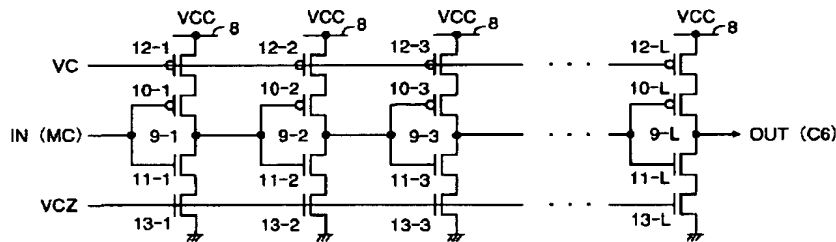
【図 20】

インバータ 174、175 の構成を示す回路図



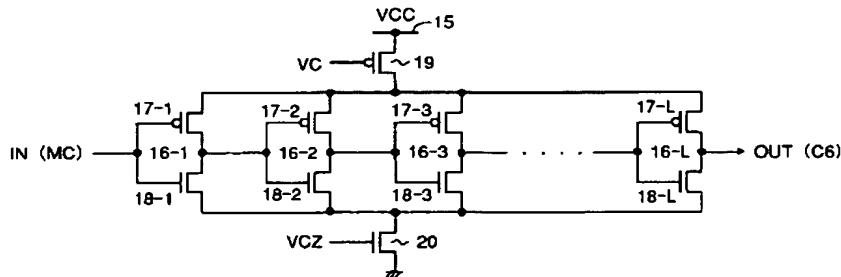
【図 2】

可変遅延回路 6 の第 1 構成例を示す回路図



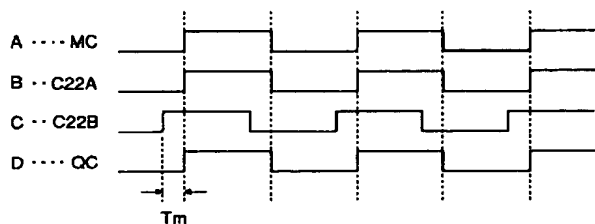
【図 3】

可変遅延回路 6 の第 2 構成例を示す回路図



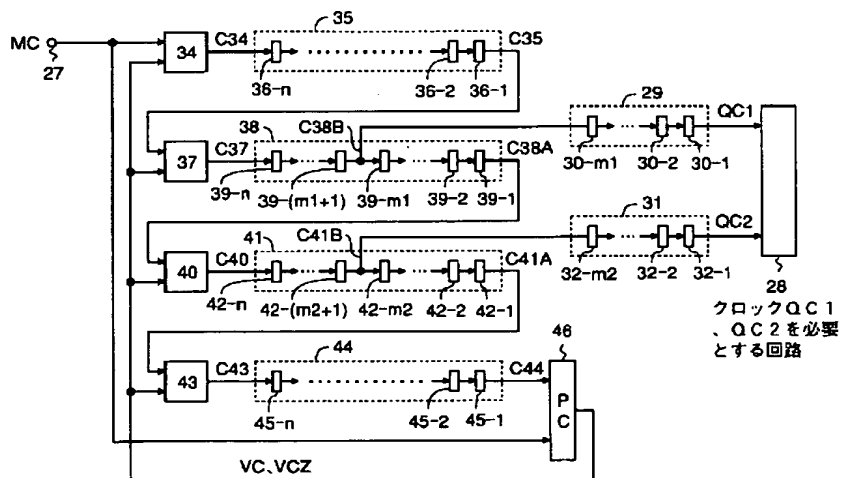
【図 4】

本発明の第１実施形態の動作を示す波形図



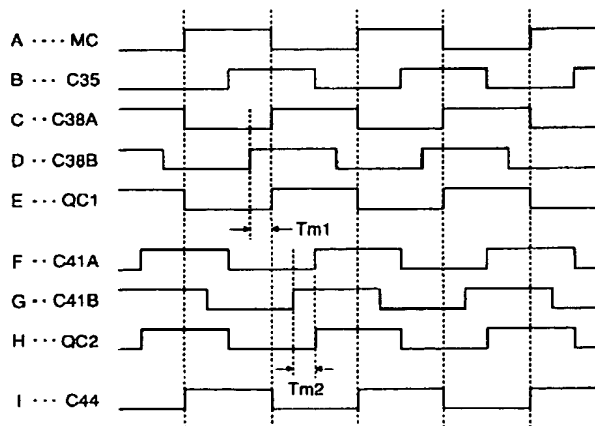
【图 5】

本発明の第２実施形態の要部を示す回路図



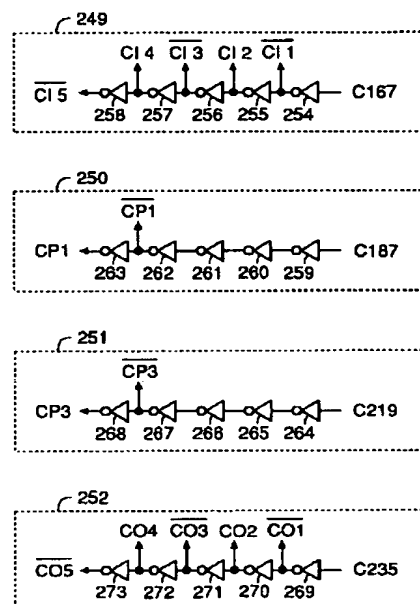
【图 6】

本発明の第 2 実施形態の動作を示す波形図



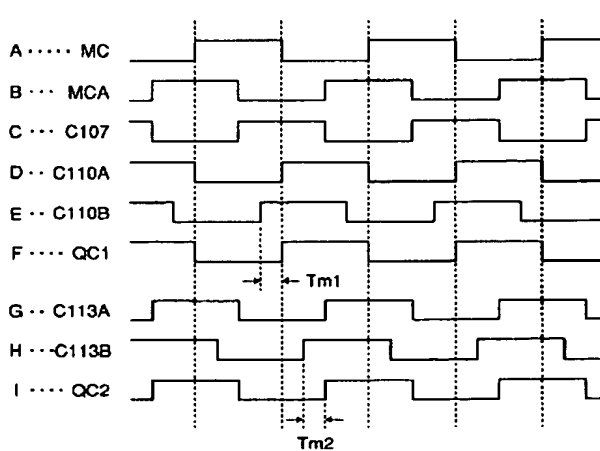
【图 25】

固定遅延回路 249~252 の構成を示す回路図



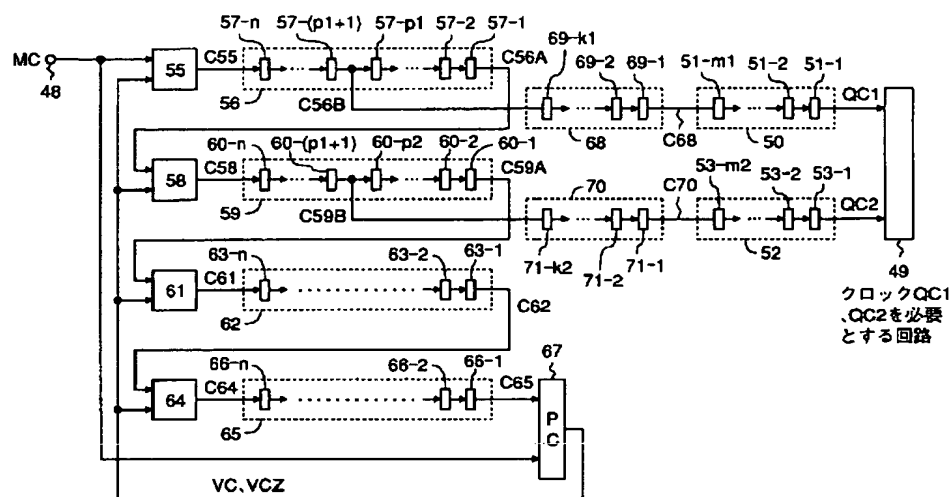
【図 12】

本発明の第 5 実施形態の動作を示す波形図



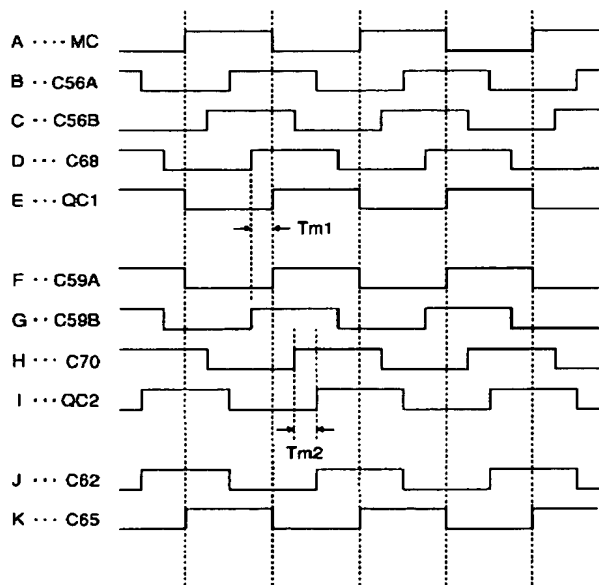
【图 7】

本発明の第3実施形態の要部を示す回路図



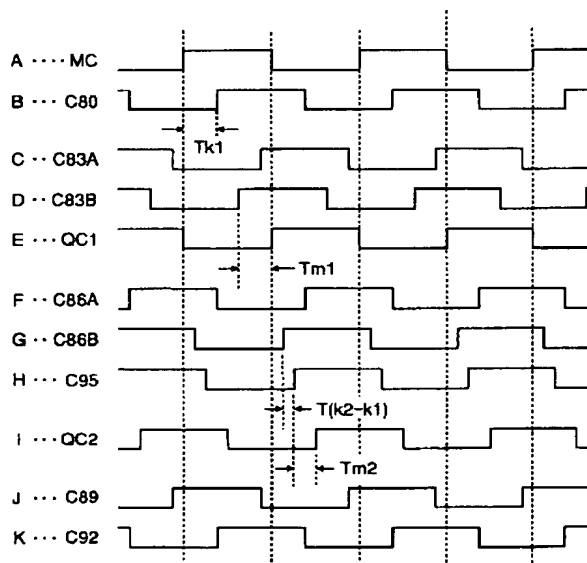
【图 8】

本発明の第3実施形態の動作を示す波形図



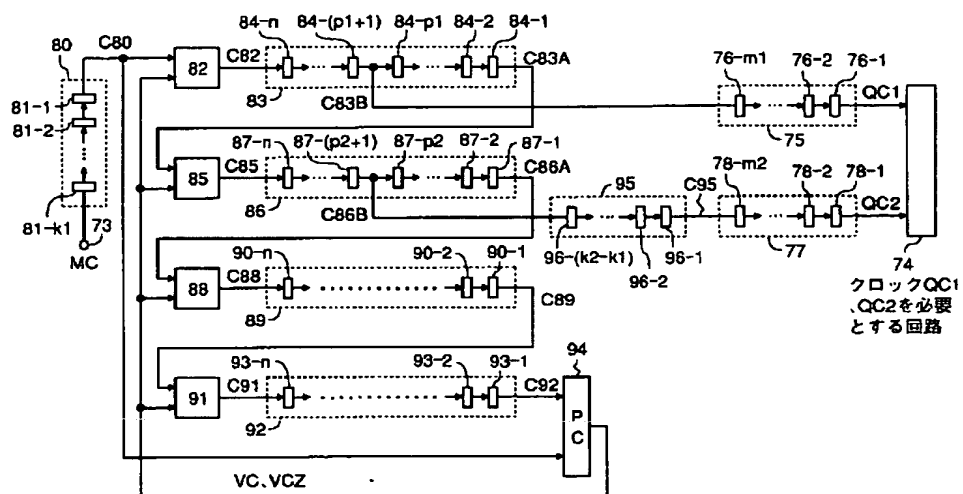
【図 10】

本発明の第 4 実施形態の動作を示す波形図



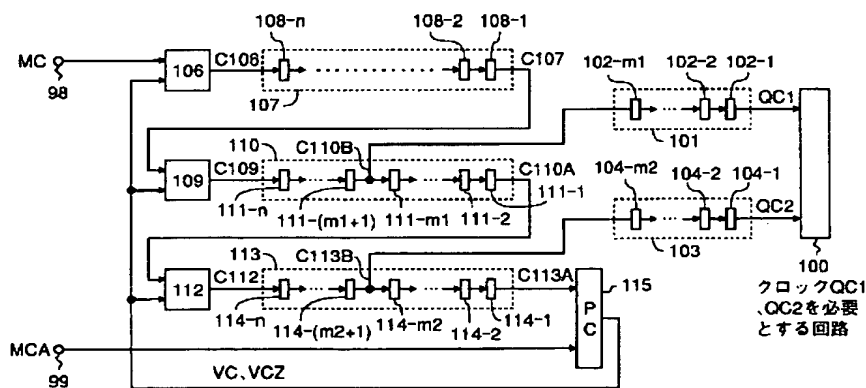
【图9】

本発明の第 4 実施形態の要部を示す回路図



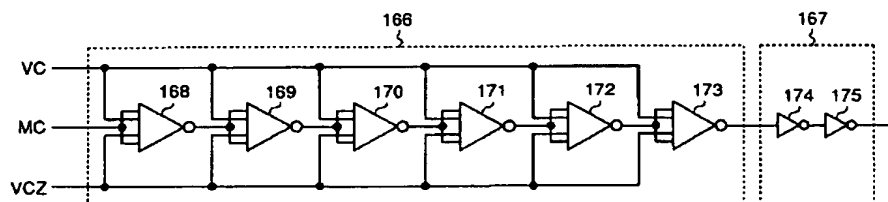
【图 1-1】

本発明の第 5 実施形態の要部を示す回路図



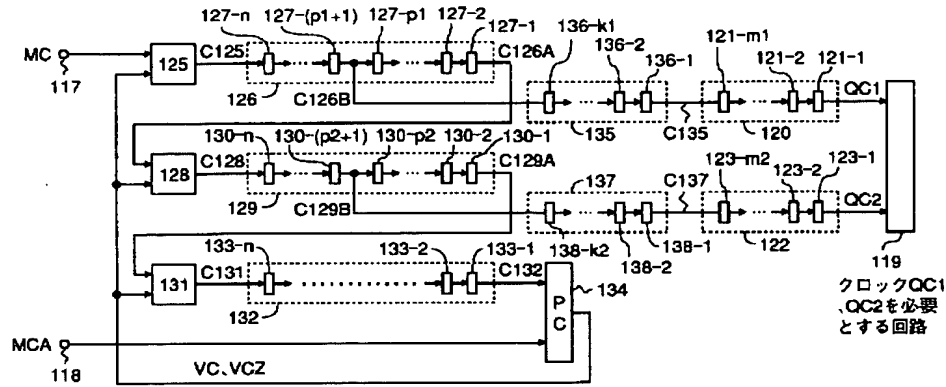
【图 18】

可変遅延回路 166 及び固定遅延回路 167 の構成を示す回路図



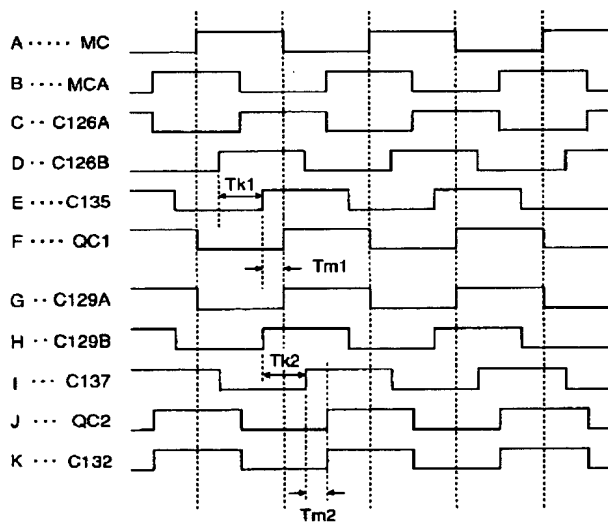
【図13】

本発明の第6実施例の要部を示す回路図



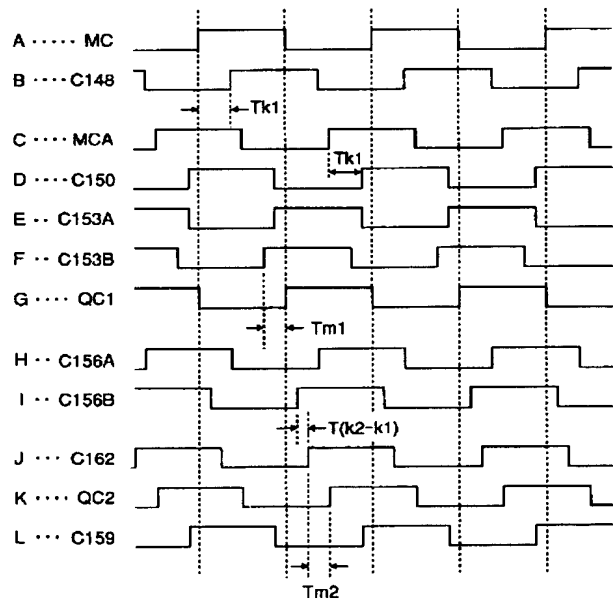
【図14】

本発明の第6実施形態の動作を示す波形図



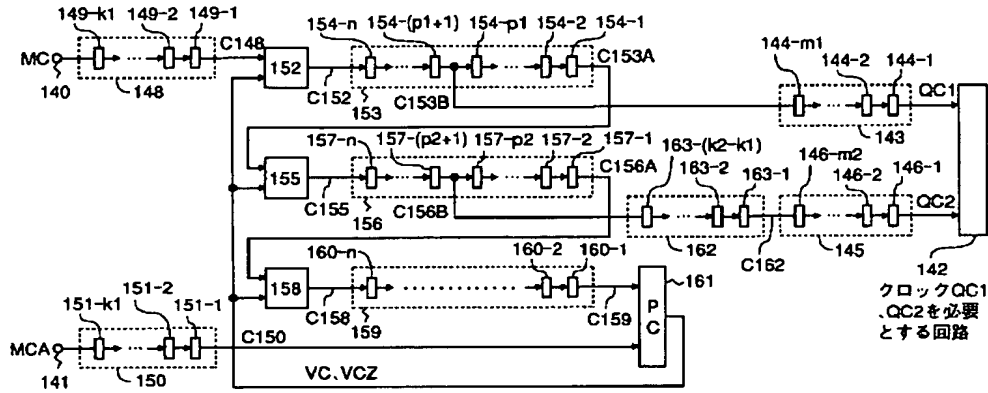
【図16】

本発明の第7実施形態の動作を示す波形図



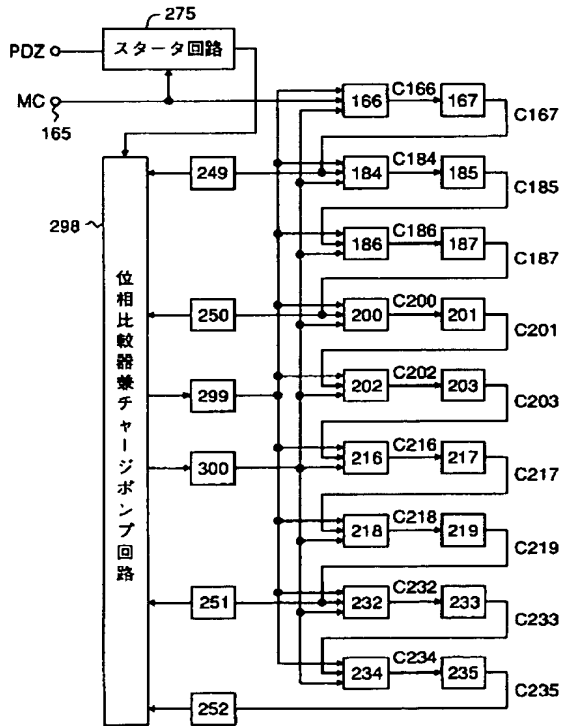
【図15】

本発明の第7実施形態の要部を示す回路図



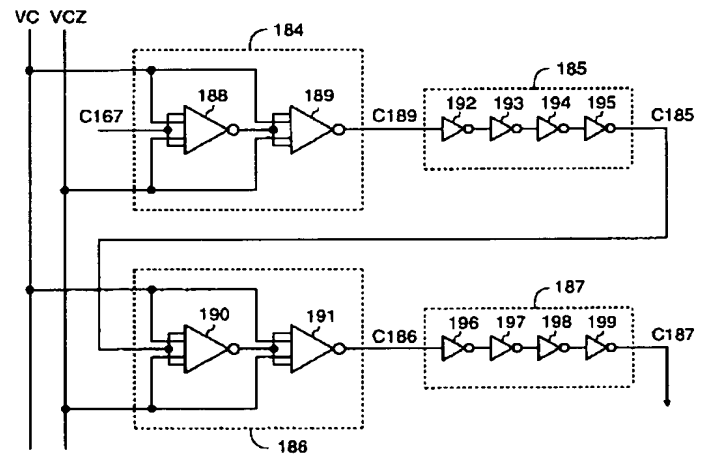
【図17】

本発明の第8実施形態の要部を示す回路図



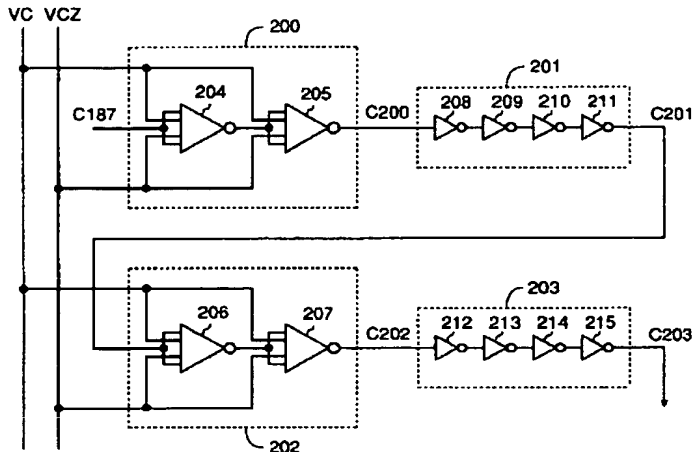
【図21】

可変遅延回路184、186及び固定遅延回路185、187の構成を示す回路図



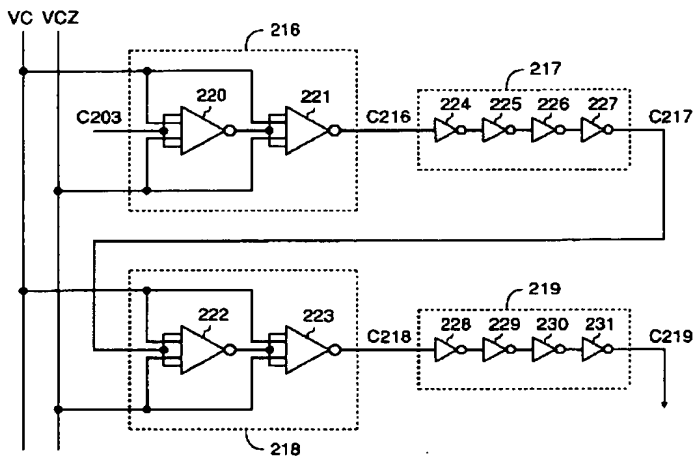
【図 22】

可変遅延回路 200、202 及び固定遅延回路 201、203 の構成を示す回路図



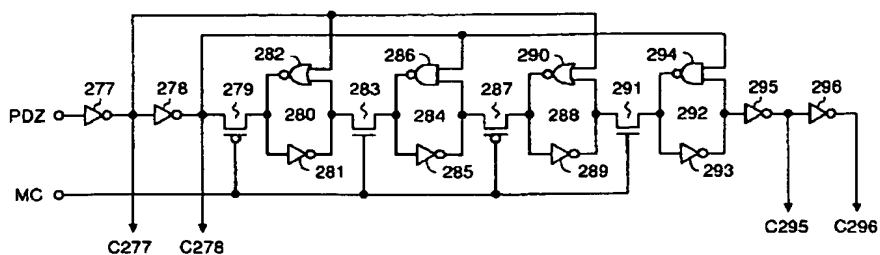
【図 23】

可変遅延回路 216、218 及び固定遅延回路 217、219 の構成を示す回路図



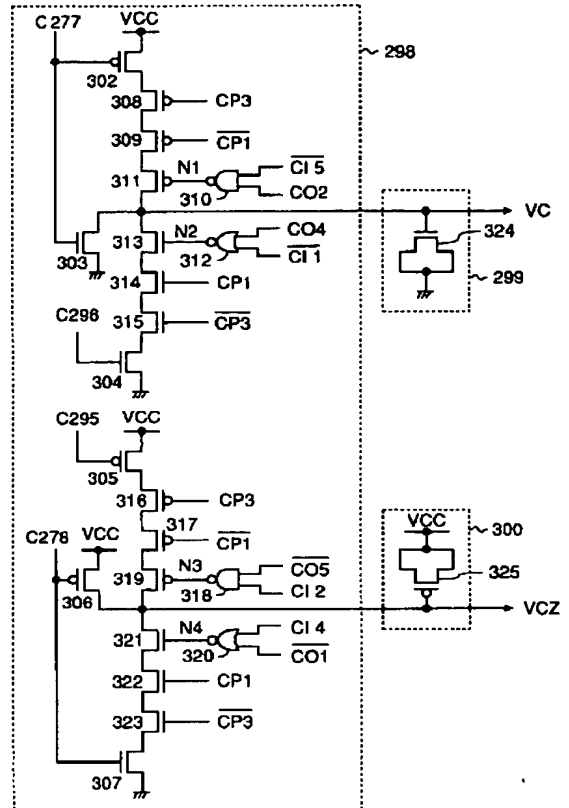
【図 26】

スタータ回路 275 の構成を示す回路図



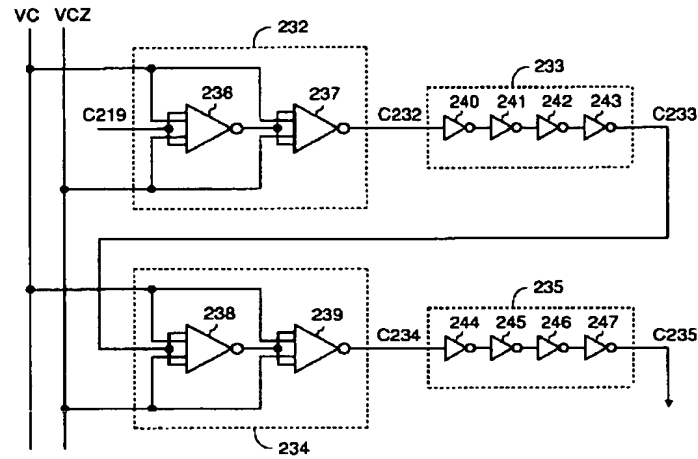
【図 27】

位相比較器兼チャージポンプ回路 298 及び遅延時間制御電圧生成平滑回路 299、300 の構成を示す回路図



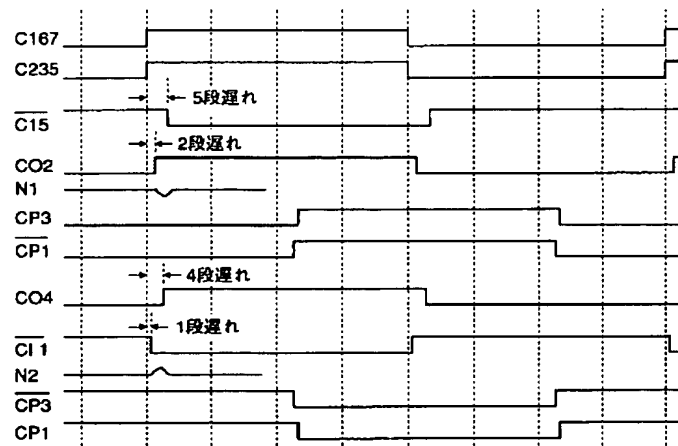
【図 2 4】

可変遅延回路 2 3 2、2 3 4 及び固定遅延回路 2 3 3、2 3 5 の構成を示す回路図



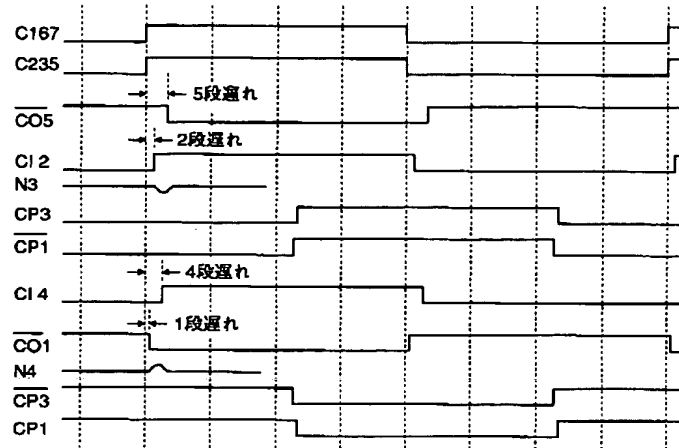
【図 2 8】

位相比較器兼チャージポンプ回路 2 9 8 の動作を示す波形図
(C 2 3 5 が C 1 6 7 に同期している場合)



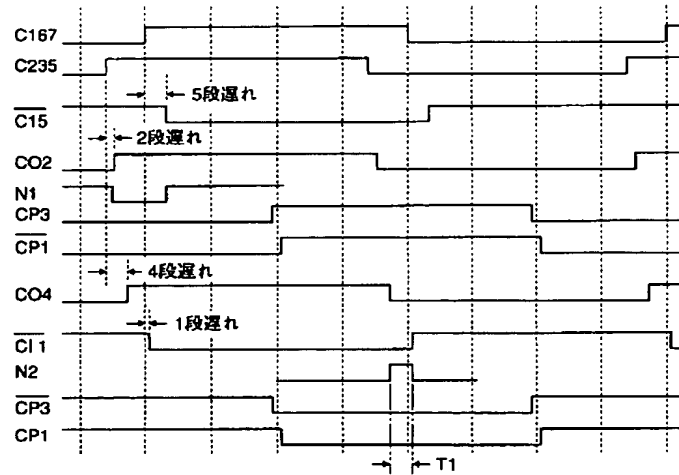
【図 29】

位相比較器兼チャージポンプ回路 298 の動作を示す波形図
(C235 が C167 に同期している場合)



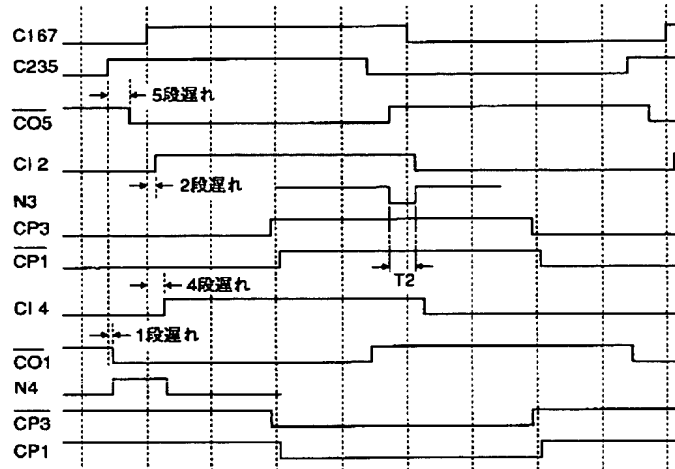
【図 30】

位相比較器兼チャージポンプ回路 298 の動作を示す波形図
(C235 の位相が C167 の位相よりも進んでいる場合)



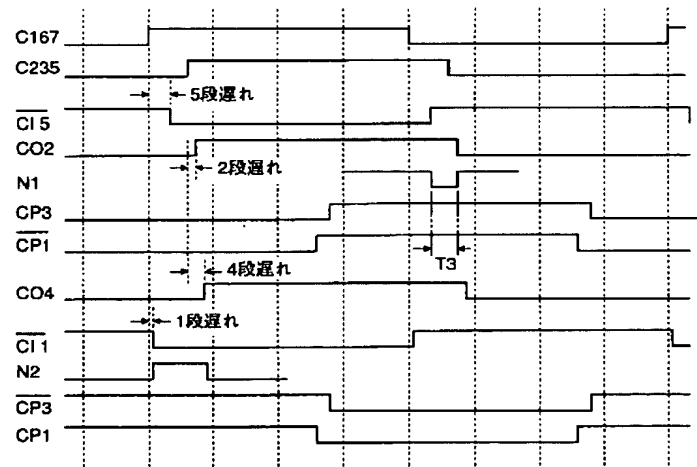
【図 3 1】

位相比較器兼チャージポンプ回路 2 9 8 の動作を示す波形図
 (C 2 3 5 の位相が C 1 6 7 の位相よりも進んでいる場合)



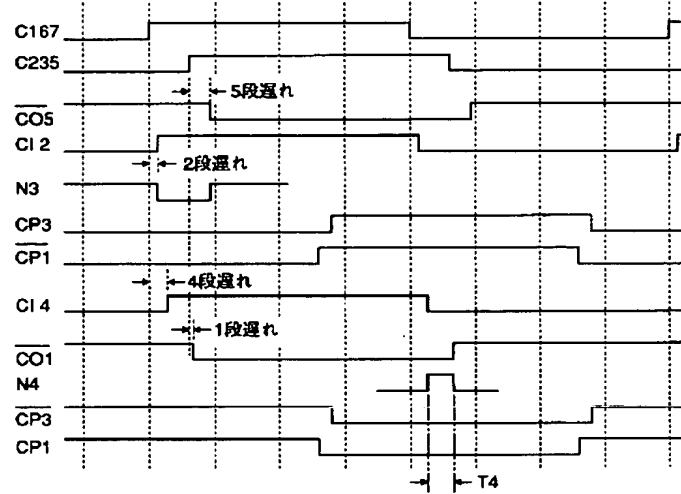
【図 3 2】

位相比較器兼チャージポンプ回路 2 9 8 の動作を示す波形図
 (C 2 3 5 の位相が C 1 6 7 の位相よりも遅れている場合)



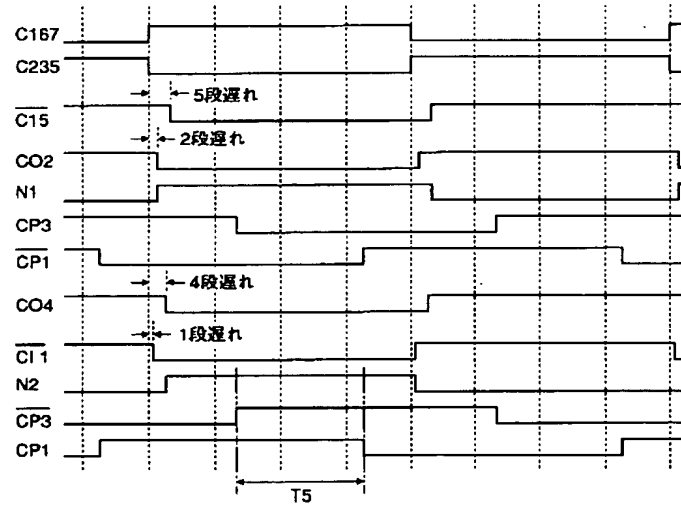
【図 3 3】

位相比較器兼チャージポンプ回路 2 9 8 の動作を示す波形図
 (C 2 3 5 の位相が C 1 6 7 の位相よりも遅れている場合)



【図 3 4】

位相比較器兼チャージポンプ回路 2 9 8 の動作を示す波形図
 (C 2 3 5 の位相が C 1 6 7 の位相よりも 1 8 0° 遅れている場合)



【図 35】

位相比較器兼チャージポンプ回路298の動作を示す波形図
 (C235の位相がC167の位相よりも180°遅れている場合)

